

PCT

世界知的所有権機関

国際事務局

特許協力条約に基づいて公開された国際出願

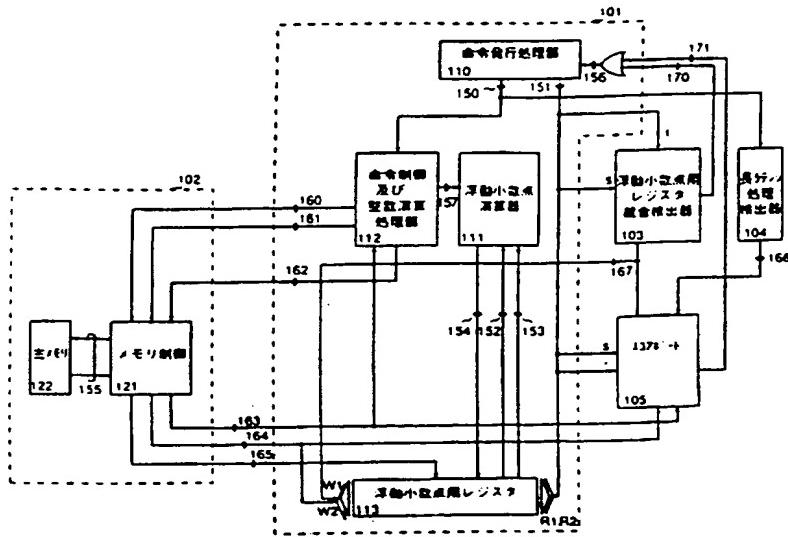


(51) 国際特許分類6 G06F 9/38	A1	(11) 国際公開番号 WO96/27833
(21) 国際出願番号 PCT/JP95/00356	(43) 国際公開日 1996年9月12日(12.09.96)	
(22) 国際出願日 1995年3月6日(06.03.95)		
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)	(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)	
(72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 田中成弥(TANAKA, Shigeya)[JP/JP] 〒316 茨城県日立市西成沢町二丁目16番33号 Ibaraki, (JP) 島村光太郎(SHIMAMURA, Kotaro)[JP/JP] 〒316 茨城県日立市船川町六丁目20番3号 有朋寮 Ibaraki, (JP) 下村哲也(SHIMOMURA, Tetsuya)[JP/JP] 〒259-13 神奈川県秦野市戸川1140 至誠寮 Kanagawa, (JP) 堀田多加志(HOTTA, Takashi)[JP/JP] 〒259-13 神奈川県秦野市戸川1140 戸川アパート233号 Kanagawa, (JP) 澤本英雄(SAWAMOTO, Hideo)[JP/JP] 〒194 東京都町田市旭町三丁目24番23号 Tokyo, (JP)	(81) 指定国 JP, KR, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	添付公開書類 国際調査報告書

(54) Title : INFORMATION PROCESSOR

(54) 発明の名称 情報処理装置

- 103 ... register contention detector for floating-point register
- 104 ... long latency processing detector
- 105 ... score board
- 110 ... instruction issuing processing portion
- 111 ... floating-point arithmetic device
- 112 ... instruction control/integer arithmetic processing portion
- 113 ... floating-point register
- 121 ... memory control
- 122 ... main memory



(57) Abstract

This invention relates to an information processor which eliminates the contention of registers in short latency processing and long latency processing, accomplishes high-speed pipeline processing by efficiently utilizing the registers, detects register contentions during the short latency processing period by a register contention detection portion so as to reduce a physical quantity for accomplishing the pipeline processing, and detects register contentions till the long latency processing period beyond the short latency processing period by a score board. Further, the information processor manages issuance of commands on the basis of this contention detection.

(57) 要約

本発明は、短ラテンシ処理と長ラテンシ処理によるレジスタの競合をなくし、効率よくレジスタを用いて、高速なパイプライン処理を達成し、かつそのための物理量を小さくするために、短ラテンシ処理期間でのレジスタ競合をレジスタ競合検出部で行い、短ラテンシ処理期間を超えて長ラテンシ処理期間までのレジスタの競合をスコアボードで検出する情報処理装置であり、さらに、この競合検出に基づいて命令発行を管理する情報処理装置である。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LK	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LR	スリランカ	ROU	ルーマニア
AU	オーストラリア	ES	スペイン	LS	リベリア	SDE	ローヌダム
AZ	アゼルバイジャン	FIR	フィンランド	LT	レソト	SEG	スウェーデン
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LU	リトアニア	SSK	シンガポール
BB	バルバドス	GAB	ガボン	LV	ルクセンブルグ	SSN	スロヴェニア
BEE	ベルギー	GB	イギリス	MC	マラウイ	TG	スロバキア
BG	ブルガリア	GEN	グルジア	MD	モルドバ共和国	TM	セネガル
BH	ベナン	GR	ギニア	MG	モダガスカル	TR	スウェーデン
BR	ブラジル	GRI	ギリシャ	MK	マケドニア旧ユーゴスラ	TT	チャド
BY	ベラルーシ	HUE	ハンガリー	ML	マリアーナ共和国	UG	トーゴ
CA	カナダ	IEL	アイルランド	MN	マリ	UAG	タジキスタン
CG	中央アフリカ共和国	IST	イスラエル	MR	モンゴル	UAR	トルコメニスタン
CHG	コンゴ	ITP	アイスランド	MW	モーリタニア	TT	トリニダード・トバゴ
CHI	スイス	KP	日本	MX	モラヴィア	UAG	ウクライナ
CIM	コート・ジボアール	KEG	ケニア	NE	メキシコ	UAS	ウガンダ
CM	カメルーン	KGP	キルギスタン	NL	ニジエール	UAV	アメリカ合衆国
CN	中国	KPP	朝鮮民主主義人民共和国	NO	オランダ	UZ	アメリカ合衆国
CZ	キューバ	KR	大韓民国	NZ	ノールウェー	V	ウズベキスタン
	チェコ共和国	KZ	カザフスタン		ニュージーランド		ヴィエトナム

明細書

情報処理装置

技術分野

命令をパイプライン処理して実行する情報処理装置またはデータ処理装置に係り、特に、短ラテンシ処理と長ラテンシ処理を混在させて情報、データを処理する情報処理装置またはデータ処理装置（以下、単に、情報処理装置という）に関する。

背景技術

プログラムに従って、命令をパイプライン処理によって実行する情報処理装置の命令制御での最大の制約は、ソフトウェアで書かれた命令の実行順序を守るために命令の処理順序を矛盾のないように実行しなければならないことである。

一般的なパイプライン処理を行う情報処理装置は、1つの命令に対しておよそ3から5サイクルで命令の実行を終了する基本パイプラインであり、1サイクルごとに実行（以下、短ラテンシ処理と呼ぶ）可能なものである。

しかし、上述の短ラテンシ処理だけでなく、割算や主メモリアクセス等の複雑な処理又は時間のかかる処理（以下、長ラテンシ処理と呼ぶ）を実行する命令も存在するため、上記制約を常に満たすことは難しい。

そこで、パイプライン処理による処理時間の長短、つまり、短ラテンシ処理、長ラテンシ処理に関わらず上記制約を満たすための方式が提案されている。

上記制約を守るため最も簡単な制御は、ある命令が基本パイプライン以外の処理をしたとき、その後続の命令はすべて先に進めなくする方法

(インタロック方式)である。

例えば、以下に示す命令列について説明する。

F D I V r 6, r 7, r 8 … (1)

F A D D r 1, r 2, r 3 … (2)

F S U B r 3, r 4, r 5 … (3)

命令(1)の実行サイクルが長い命令(長ラテンシ処理命令)の場合、命令(2)以降の命令はすべてインタロックする。

しかしながら、(2), (3)の命令は(1)の命令と依存関係が無い場合に先に実行して性能を上げる方式が知られている。

この技術は、命令(1)を実行中に後続命令が命令(1)の依存関係にあるかどうかを検出する検出器を有する。

この検出結果で、依存関係が無いときは先に実行するが、依存関係があるときには依存関係のある命令の前まで実行し、依存関係のある命令でインタロックするように制御する。

このような制御によって処理順序を矛盾なく守りながら実行できる。

ここで、依存関係で特に重要なのは汎用レジスタの競合関係である。レジスタ競合を検出する代表的な方式は2つある。

1つの方法は各パイプラインごとの命令のレジスタ番号とパイプライン投入予定の命令のレジスタ番号をそれぞれ比較する方式である。

もう1つの方法はスコアボードを使用した方式である。

スコアボードとはパイpline処理中の命令のレジスタ番号に対応して使用中であることを示すビットと、上記ビットを1にする登録手段と上記ビットを0にする解除手段とを持ち、パイpline投入予定の命令のレジスタに対応したビットが1であるか0であるかを比較することによりレジスタ競合を検出するものである。

レジスタ番号を比較して、上述のインタロックする方式の第1の従

来技術として特開平5-298091号公報に示されている。

これによると、ロード命令がメモリからデータの到着を待つ間、後続命令とロード命令の間にレジスタ干渉が無いときに、ロード命令の終了を待たずに後続演算命令を実行する情報処理装置を開示している。

この第1の従来技術では、ロード命令が処理している間保持するロード命令用レジスタ番号を設け、パイプライン投入予定の命令とロード命令のレジスタのレジスタ番号を比較器で比較することでレジスタ競合を検出する。

スコアボードを使用した方式の第2の従来技術として特開平5-108348号公報に示されている。これによると、ロード命令がキャッシュミス（長ラテンシ処理）になった場合でも後続命令の不要な待ち時間を減らすように後続演算命令を実行する。この第2の従来技術では、ロード命令がパイプライン処理を始めるとスコアボードに登録しロード命令が終了したとき解除することで、パイプライン処理中の命令のレジスタ番号に対応したビットが1となりレジスタ競合を検出する。

次に、長ラテンシ処理の1つである主メモリアクセスについて、以下に説明する。

一般に、主メモリアクセスは400ns程度の時間を必要とする。マシンサイクルが10nsとすると、そのラテンシは40サイクルとなり計算機（情報処理装置）の性能上のボトルネックになる。

そこで、主メモリアクセスをパイプライン化して主メモリアクセスを高速化する工夫が提案されている。

その1つとして、主記憶の性能向上のためにインタリブ方式メモリと呼ばれる1語ごとにインタリブされた複数のバンクからなるメモリを採用したメモリアクセスのパイプライン方式が、第3の従来技術として、John L. Hennessy, David A. Patterson 著のコンピュータアーキテクチャ

の 8 章「記憶階層の設計」に述べられている。

メモリバンクの目的は、連続的なアクセスを可能にすることと、複数の独立したアクセスを可能にすることである。

しかしながら、バンクごとに独立したアクセスは、バンクで処理中に後続の同一バンクアクセス要求がくるとバンクコンフリクトを発生し、後続アクセスを入力バッファで待たせてしまう。

例えば、アクセス 1, 2, 3, 4 と要求しても、アクセス 1 とアクセス 2 がバンクコンフリクトすると完了順序はアクセス 1, 3, 4, 2 となる。

つまり、インタリブ方式メモリの出力は処理要求と完了の順序性が保たれず、かつ、処理サイクルが可変となる。

このため、インタリブ方式のメモリを有する情報処理装置（第 3 の従来技術）では、命令処理部からの命令実行の要求順序とメモリ制御部からの命令実行の返答順序を保証する構成が必要になる。つまり、出力バッファをメモリ制御部に設け、アクセス 3, 4 を予め保持し、アクセス 2 の実行が終了した後に、アクセス 3, 4 の順に命令処理部へ返答するものである。

第 1 の従来技術では、保持するレジスタ番号が一杯になった状態で、後続命令にロード命令（長ラテンシ処理）がくると、後続命令でインターロックしてしまい（保持レジスタ競合）、パイプライン処理ができない、つまり、保持するレジスタ番号の状態でパイプライン処理ができないという第 1 の問題がある。

さらに、多くの命令をパイプライン処理させるために保持するレジスタを複数にすると、それぞれのレジスタに与えられた複数のレジスタ番号とをそれぞれ比較する複数の比較器を必要とし、物理量が著しく増加するという第 2 の問題がある。

第2の従来技術では、パイプラインに投入された命令により、すぐに、スコアボードに登録する方式なので、分岐命令や割込み処理等でパイプライン処理が乱れロード命令が無効化される時などに、各パイプライン処理の状態を監視してスコアボードの状態を制御しなければならない、つまり、乱れを生じないパイプライン制御のための制御論理が複雑になるという第3の問題がある。

第3の従来技術では、インタリブ方式のメモリを用いるので、アクセス3, 4の処理が完了しているにもかかわらず出力バッファでアクセス3, 4を保持しているので、命令処理部でアクセス3または4とパイプライン投入命令との間でレジスタ競合が発生する場合がある。このような場合、メモリ制御部で命令実行の順序性を保証するサイクル分、余分にインタロックするというオーバーヘッドが生じるという第4の問題がある。

本発明の目的は、保持するレジスタ番号の状態に関わらず、パイプライン処理を実行するフルパイプライン化した情報処理装置の提供にある。

本発明の他の目的は、多くの命令をパイプライン処理する際にも物理量の増加を少なくした情報処理装置の提供にある。

また、本発明の他の目的は、パイプライン制御を簡単な制御理論によって達成する情報処理装置の提供にある。

さらに、本発明の他の目的は、処理要求と処理完了の順序性を保証しないで、処理サイクルが可変になる長ラテンシ処理の動作を保証し、レジスタ競合等によるオーバーヘッドを減少する情報処理装置の提供にある。

発明の開示

本発明によれば、命令をn (nは1以上の整数) サイクルでパイプラ

イン処理によって実行する短ラテンシ処理を行う短ラテンシ処理部と、次に投入されてパイプライン処理を行う後続命令と上記短ラテンシ処理部で処理している短ラテンシ処理命令とのレジスタの競合を検出するレジスタ競合検出部と、命令を m (m は n より大きい整数) サイクルでパイプライン処理によって実行する長ラテンシ処理を行う長ラテンシ処理部と、上記命令が長ラテンシ処理であることを検出する長ラテンシ処理部と、次に投入されてパイプライン処理を行う後続命令と $K + 1$ 検出部と、次に投入されてパイプライン処理を行う後続命令と $K + 1$ (K は $n < K < m$ を満たす整数) サイクルから m サイクルの期間で処理中の長ラテンシ処理命令とのレジスタの競合を検出し、対応するレジスタが処理のために使用しているか否かの情報を更新するレジスタ競合スコアボードとを有し、命令が与えられると上記レジスタ競合検出部は上記命令の K サイクルまでのレジスタ競合を検出し、上記命令が長ラテンシ処理であることを上記長ラテンシ処理検出部が検出すると ($K + 1$) サイクルまでに上記レジスタ競合スコアボードにレジスタの使用を登録し、上記長ラテンシ処理の命令の実行終了までのレジスタ競合を検出し、上記長ラテンシ処理の特徴とする。

また、本発明によれば、命令に従って内部記憶部に保持されたデータを読み出し n (n は 1 以上の整数) サイクルでパイプライン処理し上記内部記憶部に格納する短ラテンシ処理を行う命令処理部と、次に投入されてパイプライン処理を行う後続命令と上記命令処理部で処理している短ラテンシ処理命令とのレジスタの競合を検出するレジスタ競合検出部と、命令に従って外部記憶部からデータの読み出しを m (m は n より大きい整数) サイクルでパイプライン処理し上記内部記憶部に格納する長ラテンシ処理を行うメモリ処理部と、上記命令が上記外部記憶部からデータを読み出す長ラテンシ処理であることを検出する長ラテンシ処理検出部と、次に投入されてパイプライン処理を行う後続命令と $K + 1$ (K)

は $n < K < m$ を満たす整数) サイクルから m サイクルの期間で処理中の長ラテンシ処理命令とのレジスタの競合を検出し、対応するレジスタが処理のために使用しているか否かの情報を更新するレジスタ競合スコアボードと、上記命令処理部から上記メモリ処理部へデータを読み出すために要求する要求信号、上記外部記憶部の格納位置を示す外部記憶アドレス信号、内部記憶部の格納位置を示す内部記憶アドレス信号と上記メモリ処理部から上記命令処理部へ上記要求信号に応じる応答信号、上記外部記憶部に保持されたデータを伝送するインターフェース部とを有し、命令が与えられると上記レジスタ競合検出部は上記命令の K サイクルまでのレジスタ競合を検出し、上記命令が長ラテンシ処理であることを上記長ラテンシ処理検出部が検出すると $(K+1)$ サイクルまでに上記内部記憶アドレスに対応する上記レジスタ競合スコアボードに使用を登録し、 m サイクル後に上記内部記憶アドレスに対応する上記レジスタ競合スコアボードの使用を解除して、上記外部記憶部からデータを読み出す長ラテンシ処理の命令の実行終了までのレジスタ競合を検出することを特徴とする。

第 1 のレジスタ競合検出器でパイプライン投入予定の命令と全ての命令の n サイクルまでのレジスタ競合を検出するので、長ラテンシ処理中以外のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

さらに、第 2 のレジスタ競合用スコアボードでパイプライン投入予定の命令と $(k+1)$ から m サイクルで処理中の命令のレジスタ競合を検出するので、長ラテンシ処理中のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

また、長ラテンシ命令同志であってもレジスタ競合がなければパイプライン処理できる。

さらに、分岐命令や割込み処理等のパイプライン制御が乱れる期間

(1サイクルからKサイクル)ではレジスタ競合検出部により、ハイブライン制御が乱れない期間 (K+1サイクルからmサイクル)ではレジスタ競合スコアボードにより処理するので、物理量の増加を抑えながら、長ラテンシ処理のフルパイプライン化を簡単な制御論理で実行できる。

また、インターフェース内の要求信号と応答信号は非同期に処理され、返答信号の順序が変わるような長ラテンシ命令であっても、長ラテンシ処理中のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

さらに、命令実行の順序性を保証しないインターフェース部により、処理の終了した命令と命令制御部内のパイプライン処理へ投入する後続命令との間で、レジスタ競合が生じていても余分なインターロックを行うことなく、パイプライン処理のオーバーヘッドを減少させることができること。

図面の簡単な説明

第1図は科学技術計算用計算機の全体構成を示す図。

第2図は浮動小数点演算器の構成を示す図。

第3図は浮動小数点演算用レジスタの構成を示す図。

第4図は命令発行処理部内のレジスタ番号変換構成を示す図。

第5図は浮動小数点用汎用レジスタ競合検出器を示す図。

第6図は比較器を示す図。

第7図はメモリ制御部の構成を示す図。

第8図はスコアボードの構成を示す図。

第9図は本実施例の命令セットを示す図。

第10図はレジスタウインドのウインドポインタとの関係動作を示す図。

第11図は命令処理部の基本動作とレジスタ競合動作を示す図。

第12図は長ラテンシ処理実行中の基本動作を示す図。

第13図は長ラテンシ処理実行中のレジスタ競合動作を示す図。

第14図は科学計算用計算機の全体構成を示す図。

第15図はメモリ制御部の構成を示す図。

第16図は長ラテンシ処理検出器を示す図。

第17図は科学計算用計算機の全体構成を示す図。

第18図はメモリ制御部の構成を示す図。

第19図は本発明の情報処理装置の概略を示す図。

第20図は本発明の4命令のスーパースカラ型のプロセッサを示す図。

第21図は第18図の接続関係を示した図。

発明を実施するための最良の形態

第19図に本発明を用いた計算機の構成を示す。この計算機は、例えば、科学技術計算用のものでも汎用的なものでもよい。

この計算機は、命令発行処理部110から命令制御112、レジスタ競合検出部103、長ラテンシ検出部104に、150、151を介して命令を供給する。

命令の処理内容が短ラテンシ処理であると、命令制御部112は制御信号157によって、短ラテンシ処理部111を制御して、汎用レジスタ113からデータを読み出し演算して汎用レジスタへデータを格納する。

また、命令の処理内容が長ラテンシ処理であると、命令制御部112は制御信号160～162によって、長ラテンシ処理部102を制御して、汎用レジスタ113へデータを格納する。

ここで、汎用レジスタは複数のデータを保持するものでもよく、その場合はそれぞれのデータを区別するためにレジスタ番号が割り当てられ

ている。また、ここでいう汎用レジスタは、複数のレジスタからなるレジスタ群でもよい。さらに、これら汎用レジスタをプロセッサ内にある内部記憶部、プロセッサの外部にあるメインメモリ等を外部記憶部という。

短ラテンシ処理部と長ラテンシ処理部のそれぞれの処理において、レジスタ競合が発生すると誤った演算を実行することになるので、レジスタ競合検出部 103 は短ラテンシ処理の処理サイクル期間内のレジスタ競合を検出する。

もし、競合が検出されれば、信号 170 によって命令発行処理部 110 からの命令の発行を停止、または、待たせるように命令発行処理部を制御する。

スコアボード 105 は、短ラテンシ処理のサイクルを越えて長ラテンシ処理のサイクル内でのレジスタの競合の有無を検出するために、レジスタの使用情報を保持し、更新するものである。

長ラテンシ検出部 104 は長ラテンシ処理を検出すると、スコアボードに信号 166 を出力して、スコアボードにレジスタの使用をセットする。ここで、このスコアボードはレジスタ競合検出部と協調して動作するので、長ラテンシ検出部は短サイクル処理が完了するまでにスコアボードへのセットを完了するように制御する。

スコアボードへセットされた後に、レジスタの競合が発生すると、信号 171 を介して命令発行処理部 110 からの命令の発行を止めて、誤演算しないようにする。

長ラテンシ処理が終了すると、長ラテンシ処理部 102 はスコアボードへ信号 163 ~ 164 によってレジスタの使用情報をセットからリセット状態に更新する。

ここで、レジスタが複数ある場合は、レジスタ番号に対応した使用情

報をセット、リセットする。

長ラテンシ処理の際のレジスタ競合は、パイプライン制御の乱れる可能性の高い短ラテンシサイクル内ではレジスタ競合検出部によって、それ以降のパイプライン制御の乱れることのないサイクル内ではスコアボードによって検出するように動作する。これによって、物理量を小さく抑えながら、長ラテンシ処理のフルパイプライン化を簡単な制御論理で高速に行うことができる。

また、このプロセッサでのインターフェース部は長ラテンシ処理部への要求信号 160～162に対する応答信号 163～165の順序性を保証しなくてもよい構成になる。つまり、信号 162と 164は、レジスタを特定する情報の信号、例えば、レジスタ番号を示す信号であるが、このレジスタを特定する情報は、長ラテンシ処理部内でデータと共に処理されるので、順序性を保証しなくても処理の対応付けが明確になる。

さらに、このレジスタを特定する信号の応答信号 164によって、スコアボードの情報を更新するので、命令の順序性にも矛盾を生じさせない。

このように、長ラテンシ処理部への要求信号と長ラテンシ処理部からの応答信号（処理終了信号）の順序性を保証しなくてもよいインターフェース部にすることで、処理サイクルが可変な長ラテンシ処理の動作を保証し、レジスタ競合等によるオーバーヘッドを減少させることができる。

第 1 図から第 8 図に、本発明を科学技術計算用計算機に適用した場合の第 1 の実施例を示す。

第 1 図は、科学技術計算用計算機の全体構成、第 2 図は浮動小数点演算器の構成、第 3 図は浮動小数点用レジスタの構成、第 4 図は命令発行処理部のレジスタ番号変換の構成、第 5 図、第 6 図は浮動小数点用レジ

スタ競合検出器、第7図はメモリ制御部の構成、第8図はスコアボードの構成を示す。さらに、第9図は本実施例の命令セット、第10図はレジスタウインドを使った物理レジスタ番号変換の関係、第11図は命令処理部の基本動作とレジスタ競合動作、第12図、第13図は長ラテンシ処理実行中の基本動作とレジスタ競合動作を示す。

次に、レジスタ構成と命令セットについて説明する。

主メモリアクセスのようにラテンシが長い処理をメモリパイプラインにより隠蔽しようとするとレジスタ本数がボトルネックになる。

これを解決する方法として、情報処理学会論文誌 Vol. 1. 34 No. 4 p 669 「レジスタウインド方式を用いた擬似ベクトルプロセッサの評価」で詳細に述べられているレジスタウインドと呼ばれるレジスタを複数のセットに分割してレジスタ数を増加させる方式が提案されている。

本実施例ではレジスタウインド方式（レジスタ本数を128本）を採用した構成である。

第9図に代表的な浮動小数点命令の命令セットを示す。

F M U L, F A D Dはそれぞれ乗算、加算する命令である。r1, r2, r3は、32本のレジスタ番号を指すものであり、これに128本のレジスタ番号を指すウインドポインタWPと加えて物理レジスタ番号を決定する。物理レジスタ番号（r1+WP），（r2+WP）で指されるレジスタのデータを読み出し演算して物理レジスタ番号（r3+WP）で指されるレジスタに結果を格納する。

F L D, F S Tは、一般の浮動小数点用ロード、ストア命令である。整数汎用レジスタ（GR）のデータとディスプレースメント（disp）を加えたものをメモリアドレスとして計算し、F L Dはメモリ上のアドレスにあるデータを物理レジスタ番号（r3+WP）で指されるレジスタ

に格納する。また、F S Tは、物理レジスタ番号（r 1 + W P）で指されるデータをレジスタから読み出し、計算されたアドレスで指されるメモリに格納する。

F P L D, F P S TはF L D, F S Tと同じ機能であるがr 3' , r 1' は、命令から直接全ての1 2 8本のレジスタを指示することができ、主メモリと浮動小数点用レジスタの間を直接アクセスする拡張命令である。F W Pはレジスタウインド方式のウインドポインタW Pを更新する命令である。

さて、第1図に戻って、科学技術計算用計算機の全体構成を示す。科学技術計算用計算機の全体構成は、命令制御部1 0 1, メモリ制御部1 0 2, 浮動小数点用レジスタ競合検出器1 0 3, 長ラテンシ処理検出器1 0 4, スコアボード1 0 5より構成する。また、命令制御部1 0 1からメモリ制御部1 0 2へ、要求信号1 6 0, メモリアドレス1 6 1, レジスタ番号1 6 2を受け渡す第1のインターフェースと、メモリ制御部1 0 2から命令処理部1 0 1へデータを返す応答信号1 6 3, データ1 6 5, 受け渡されたレジスタ番号1 6 4を返答する第2のインターフェースを持つ。

F M U L, F A D D等の演算命令の動作を命令処理部1 0 1を使って説明する。命令は、第4図に示す命令発行処理部1 1 0内の命令レジスタ4 0 1に格納される。各レジスタ番号r 1, r 2, r 3は、ウインドポインタ4 0 6と加算して物理レジスタ番号を求めるためにレジスタ番号変換4 0 3-1~3で計算する。具体例として、第10図に、ウインドポインタW Pが0, 1 6, 3 2, 4 8, 6 4, 8 0, 9 6, 1 1 2, 1 2 7の場合の物理レジスタ番号との関係を示す。一方、命令解読器4 0 4は、各レジスタ番号フィールドが有効であるかどうかを解読し、その結果をもとに選択回路及びvalid生成回路4 0 5を制御し、ソース

1用レジスタ番号及びそのvalid信号 $151-s1$ 、ソース2用レジスタ番号及びそのvalid信号 $151-s2$ 、ターゲット用レジスタ番号及びそのvalid信号 $151-t$ を出力する。第3図に示す128本で構成した浮動小数点用レジスタ113は、命令発行処理部110からのソースの物理レジスタ番号 $151-s1$, $151-s2$ より指されたレジスタの内容を 152 , 153 に同時に読み出し出力する。第2図に示す浮動小数点演算器111は、演算すべき2つのデータを 152 , 153 より入力データラッチ211に格納する。次のサイクルで演算(E1)201を実行し、中間情報ラッチ212に格納する。さらに次のサイクルで演算(E2)202を実行し演算結果を結果格納ラッチ213に格納する。この実施例では、2サイクルかけて演算(E1), 演算(E2)と実行して加算、乗算結果を求めるもので1つの演算命令をラテンシ2で処理する。浮動小数点演算器111の結果 154 はWステージで浮動小数点用レジスタ113に格納され動作を完了する。第11図(a)に、演算命令の基本動作のタイミングを示す。パイプラインは、D, E1, E2, Wの4サイクルで1命令を処理するように動作する。

さて、演算命令と後続命令の間でレジスタ競合したときの動作を示す。レジスタ競合のプログラム例を以下に示す。

F ADD r1, r2, r3

F MUL r3, r4, r5

本実施例の浮動小数点演算器111は第2図に示すようにラテンシ2である。レジスタ競合が発生したときのペナルティを抑えるため浮動小数点演算器内にショートパス220, セレクタ221, 222を有しており1サイクルのインタロック後、データを使用できる。このインタロックする動作を次に説明する。

始めに、浮動小数点用レジスタ競合検出器103の構成を第5図に示

す。命令発行処理部 110 から出力されるターゲットレジスタ番号 151-t をパイプラインステージごとに保持するラッチ 502, 503, 504 と、各ステージのターゲットレジスタ番号と命令発行処理部 110 の命令レジスタ 401 に対応したソースレジスタ番号 151-s1, 151-s2 を比較する比較器 501-1~6, ターゲットレジスタ番号 151-t を比較する比較器 -1~3、及び、その出力をまとめ論理回路より構成される。第 6 図は比較器 501 の詳細な構成を示したもので、7 ビットの比較器と、比較器の出力とそれぞれの valid 信号の AND ゲートからなる。

FADD 命令が E1 ステージを実行中、第 5 図のラッチ 502 は物理レジスタ番号 ($r_3 + WP$) を保持する。FMUJL は、命令レジスタ 401 に格納されており、その出力であるソース 1 信号 151-s1 も物理レジスタ番号 ($r_3 + WP$) となる。このため、比較器 501-1 はレジスタ番号が一致していることを検出し出力 170 は 1 となる。レジスタ競合検出器 103 の出力は命令発行処理部 110 の命令発行制御 402 へ OR 論理を通して伝わり、命令レジスタ 401 の命令を 1 サイクル保存する。続く次のサイクルで、FADD は E2 ステージに進み、E2 用ターゲットラッチ 503 に物理レジスタ番号を格納する。命令レジスタ 401 からの信号 151-s1 とターゲットラッチ 503 を比較する比較器 501-3 はレジスタ番号が一致していることを検出する。しかしながら、長ラテンシ処理中の命令のときのみ有効になるように信号 511 を制御するので、論理回路部で信号 511 によりマスクされ出力 170 は 0 となる。命令レジスタに格納した命令が演算結果をすぐに使うことを命令制御 112 で検出すると、浮動小数点演算器 111 内のショートバス 220 からセレクタ 221 を通して演算結果をすぐに入力データラッチにバイパスするように動作する。これによって FADD 命

今は次の E 1 サイクルで正しい入力データに対する演算を開始する。第 11 図 (b) にこの動作のタイミングを示す。n 命令と n + 1 命令がレジスタ競合して 1 サイクルインタロックすることで、正しい動作を保証するように動作できる。

第 5 図の比較器 505-1~3 は、一般に割込み処理制御のために命令のターゲット番号と後続命令のターゲット番号の関係より、インターロック制御を行うためのものであり、動作は上記の比較器と同様のため説明を省略する。

次に、F L D, F P L D の命令の動作を説明する。始めに、メモリ制御部 102 の構成を第 7 図に示す。メモリ制御部 102 は、主メモリ 122, メモリ制御ユニット 121 より構成する。メモリ制御ユニット 121 は、メモリバンク制御 701, アドレス変換制御 702 より構成する。さらに、751-M2~40 と 750-M2~40 は全てパイプライン制御用ラッチ、705 はアドレス変換器、710, 720 はバンクコンフリクトによるパイプラインのインタロックを解消するためのバンク (0, 1) 用バッファ、711, 721 はバンクメモリ中の処理に対するレジスタ番号を保持するラッチ、713, 723 はバンク分けされたメモリ、730, 731 はメモリバンクからのデータとレジスタ番号を選択するセレクタである。

F L D, F P L D の命令は、D ステージで命令解読し、E ステージでアドレス計算アドレスする。その後の動作は、メモリ制御部 102 で実行される。命令処理部 101 からメモリ制御部 102 へは、データを読み出す要求信号 160, メモリアドレス 161, 浮動小数点用レジスタのターゲットレジスタ番号 162 を受け渡す。レジスタ番号 162 はメモリ制御部 102 の各パイプラインステージを命令動作とともに同期して進む。送られたメモリアドレス 161 は論理アドレスであるためアド

レス変換器 705 で物理アドレスに変換する。その後、物理アドレス 730 とレジスタ番号 731 は、メモリバンクを制御するメモリバンク制御 701 に送られる。実施例では、2つのインタリブされたバンクで構成されたメモリを示す。物理アドレスが偶数か奇数かによりバンク 0 かバンク 1 にアクセスするように制御する。各バンクごとの処理は、バンク用バッファ 710, 720 に入った順に処理される。この時、レジスタ番号もバンク用バッファ 710, 720 に入れて処理の同期をとる。バンクメモリをアクセス中、レジスタ番号はバンク中の処理に同期したレジスタ番号を保持するラッチ 711, 721 に格納されバンクメモリ 713, 723 のアクセス処理完了まで待つ。処理が完了すると、セレクタ 730, 731 を制御し、アクセスしたデータと処理完了まで保持しているレジスタ番号を同時に出力してパイプライン制御ラッチ 751 - M37, 750 - M37 に渡す。その後、メモリ制御部 102 から命令制御部 101 へは、メモリ処理部にデータを返す応答信号 163 (第 7 図はデータパスのみ表示しているので省略)、メモリより読み出したデータ 165, レジスタ番号 164 を返答する。命令制御部 101 の浮動小数点用汎用レジスタ 113 は、メモリより読み出したデータ 165、浮動小数点用レジスタのターゲットレジスタ番号 164 を受け取りレジスタ番号の指すレジスタにデータを書き込み FLD, FPLD の命令の動作を完了する。第 12 図に FLD, FPLD の命令の動作のタイミングを示す。n 命令, n + 1 命令がメモリアクセス命令であり M2 から M40 までがメモリ制御部でのパイプライン処理を示す。

本実施例のメモリ制御部 102 は 2 つのインタリブしたバンク構成であるが、メモリの完全パイプライン化するには、メモリバンクのアクセス数を p サイクルとすると、バンク数は p 個以上が必要となる。また、インタリブしたバンク構成であるためバンクコンフリクトが生じる。バ

ンクコンフリクトが発生すると、命令制御部 101 からの要求順序とメモリ制御部 102 からの応答順序が異なる。具体的には、n 番目のメモリ要求でバンク 0 ヘアクセスしようとしたとき、バンク 0 用バッファ 710 に既に前の要求が待たされているとする。次のサイクルで n+1 番目のメモリ要求がバンク 1 ヘアクセスしたとき、バンク 1 用バッファ 720 が空であれば、バンク 1 のメモリアクセス要求である n+1 番の方が早く処理を完了するという特性を持つ。メモリ制御部 102 の処理が可変で順番が守られないにもかかわらず動作が保証できるのは、レジスタ番号を命令制御部 101 に保持せずに、メモリ制御部 102 でメモリ処理とともに各パイプラインを持ち回り、メモリ制御部 102 の処理返答時にレジスタ番号 164 を返却する構成であるから可能となる。

F LD, F P LD 命令と後続命令の間でレジスタ競合したときの動作を示す。始めに、第 8 図でスコアボードの全体構成を説明する。800~127 はレジスタ 128 本に対応する 1 ビットのレジスタ、801 は登録するレジスタ番号をフルデコードするデコーダ、802 は解除するレジスタ番号をフルデコードするデコーダ、803 は命令レジスタ 401 のソース 1 のレジスタ番号をフルデコードするデコーダ、804 は命令レジスタ 401 のソース 2 のレジスタ番号をフルデコードするデコーダ、805 は命令レジスタ 401 のターゲットのレジスタ番号をフルデコードするデコーダ、806 はデコーダ 803 の出力信号が立っているところのレジスタ 800 の値が 1 であるかを検出する検出器、807 はデコーダ 803 の出力信号が立っているところのレジスタ 800 の値が 1 であるかを検出する検出器、808 はデコーダ 803 の出力信号が立っているところのレジスタ 800 の値が 1 であるかを検出する検出器、809 は各検出器 806, 807, 808 の出力の論理和をとる OR 回路、810 はメモリ制御部 102 で異常があったことを検出する

異常検出器より構成する。

FLD, FPLD命令の実行は既に述べたがスコアボード105に対する動作を補足する。登録許可信号166は、第1図の長ラテンシ処理検出器104で検出される。本実施例では、FLD, FPLDを命令解读して検出すると登録許可信号166は1になる。登録されるレジスタ番号167は浮動小数点用レジスタ競合検出器103としてFLD, FPLD命令のターゲットレジスタ番号として与えられる。このレジスタ番号はメモリ制御部102に受け渡すレジスタ番号162と論理的に同じものである。Wステージの次のサイクルで、スコアボード105は、登録許可信号166と登録されるレジスタ番号167によりデコーダ801を介してレジスタ番号に対応したレジスタ800を1にセットする。FLD, FPLD命令がメモリ制御部102で処理を完了すると、レジスタ番号164とメモリ制御部からの返答信号163によって、デコーダ802を介してレジスタ番号に対応したレジスタ800を0にセットする。つまり、Wステージの次のサイクルから処理完了までメモリ要求に対応したレジスタ800は1が立っており、メモリ処理中であることを示す。レジスタ800に1が登録するタイミングがWステージの次のサイクルであるのは、レジスタ競合検出器103により、Wステージまでのレジスタの競合を検出し、スコアボード105でWステージの次のサイクルから処理完了までレジスタ競合を検出するように協調して動作させるからである。これによって、スコアボード105に対する命令制御が簡単になる。なぜなら、Dステージでスコアボード105に登録すると、それ以前の基本パイプライン処理中の命令の影響（分岐や割込み等）により命令の無効化が生じるとスコアボード登録を取り消さなければならず常にパイプライン動作を監視しなければならないが、本実施例のようにWステージの次のステージでスコアボード105に登録す

れば、それ以前の基本バイブライン処理中の命令は無くなり命令の無効化等バイブルайн動作を監視した複雑な処理を省略できるからである。

さて、このようにスコアボード 105 に登録した FLD, FPLD 命令の次の命令がレジスタ競合したときの動作を説明する。

レジスタ競合のプログラム例（物理レジスタ番号変換後 r3' と r3 は一致する）を以下に示す。

FPLD	(GR1, disp), r3' n 命令
F MUL	r3, r4, r5 n+1 命令

第 13 図にこの動作のタイミングを示す。始めの 3 サイクルは演算命令のレジスタ競合で述べたように浮動小数点用レジスタ競合検出器 103 で検出されその出力である 170 により命令レジスタ 401 の命令を保持し続ける。次の 4 サイクル目からはスコアボード 105 でレジスタ競合を検出する。FPLD により r3' に対応するレジスタ 300 に 1 がセットされる。一方、命令レジスタ 401 に対する 151-s1 に物理レジスタ番号 (WP+r3) が出力される。この信号は、スコアボード 105 内のデコーダ 803 でフルデコードし、検出器 806 にてデコーダ 803 の出力信号が立っているところのレジスタ 800 の値が 1 であるかを検出する。このケースは 1 である（競合状態）ので、スコアボードの出力 171 が 1 となり命令レジスタ 401 の命令を保持し続ける。この関係は競合しているレジスタ 800 の値が 0 に解除されるまで続く。メモリ制御 102 からの応答信号により解除されると出力 171 は 0 になり、FMUL 命令は発行される。つまり、FPLD 命令と FMUL 命令がレジスタ競合して 39 サイクルインターロックして正しい動作を保証するように動作する。これによって FMUL 命令は FPLD 命令が終了するのを待って正しい入力データに対する演算を開始できる。この例は次の命令のレジスタ競合を示したが FPLD 命令が処理中の期間に後続命

令として実行される命令との間でレジスタ競合していなければ命令は次々と発行される。また、 $n + m$ 命令がレジスタ競合命令のとき、 $n + m - 1$ 命令までは次々と発行され、 $n + m$ 命令が命令レジスタ 401 に FPLD 命令完了まで保持するように動作する。

さらに、別のレジスタ競合のプログラム例（物理レジスタ番号変換後 $r3'$ と $r3$ は一致する）を以下に示す。

FPLD (GR1, disp), r3'

FMUL r4, r5, r3

この例は、FPLD 命令のターゲットレジスタ番号と後続命令のターゲットレジスタ番号が一致したケースである。本実施例では、FPLD 命令より FMUL 命令が先に実行するため、2つの命令が終了した結果は FPLD 命令の結果が残ってしまうことになりプログラムの実行順番と矛盾する。このため正しい動作を保証するためにインターロックする必要があり、ターゲットレジスタ番号と後続命令のターゲットレジスタ番号について、レジスタ競合検出器 103 の 505-1 ~ 3 の比較器で W ステージまで、レジスタの競合を検出し、スコアボードの検出器 808 で W ステージの次のサイクルから処理完了までレジスタ競合を検出するように協調して動作する。

この実施例のスコアボード 105 は、メモリ制御部 102 から必ずレジスタ番号 164 を伴った応答信号を期待した方式である。もし、メモリ制御部 102 に異常が発生してレジスタ番号 164 が戻らないと、スコアボード 105 のレジスタ 800 は解除されずレジスタ競合が発生するとデッドロック状態に陥る。この状態を避けるためにメモリ制御部 102 からの応答信号 163 に異常を知らせる情報も含ませる。この信号 163 をスコアボード 105 の異常検出器 810 で異常を検出すると全てのレジスタ 800 をリセットするとともに、命令制御部で異常時の

処理を起動するように動作する。これによってメモリ制御部102の異常に対するデッドロックを避け異常処理を開始できる。

メモリ制御部102にキャッシングメモリを持つ場合の本発明の第2の実施例を示す。キャッシングメモリはメモリアクセス高速化の目的で一般に採用されている技術である。キャッシングメモリがヒットすると短いサイクル（短ラテンシ処理）でメモリアクセスを実施する。ミスすると主メモリまで長いサイクル（長ラテンシ処理）をかけて処理を実施する。

第1の実施例と大部分共通であるので異なる構成のみ第14図、第15図、第16図で示す。第14図は、科学技術計算用計算機の全体構成、第15図はキャッシングメモリを持つメモリ制御部の構成、第16図は長ラテンシ処理検出器を示す。メモリ制御部102内のキャッシングメモリの制御と、メモリ制御部のインターフェースが主に異なっているため、その部分を中心に動作を説明する。第1図から第14図に変更された点は、キャッシングがヒットしたことを示すインターフェースである1505を追加したことであり、さらに、第7図から第15図に変更されたのはユニット702である。第15図の702はキャッシングメモリ及びアドレス変換するユニットであり、1500はキャッシングメモリ、1501はアドレスバッファ、1502はアドレスを切替るセレクタ、1503はレジスタ番号を切替るセレクタである。

FLD命令は、命令制御部101からメモリ制御部102へ、データを読み出す要求信号160、メモリアドレス161、ターゲットレジスタ番号162を受け渡す。送られたメモリアドレス751-M2はセレクタ1502を介してキャッシングメモリ1500をアクセスする。キャッシングメモリ1500がメモリアドレスに対するデータを持っていればキャッシングヒットとなり、データ1506を通して、ラッチ751-M40にセットする。キャッシングメモリ1500がヒットであることを

示す信号 1507 は 0 となり 750-M2 のレジスタ番号を 750-M40 へ伝えるように動作する。つまり、キャッシュがヒットするとデータ 751-M40、レジスタ番号 750-M40、キャッシュがヒットしたことを示す信号 1504 が同時にセットされ、インターフェース信号 164, 165, 1505 を介して命令制御部 101 へ返答する。なお、第 15 図では省略してあるがヒット信号によりメモリバンク制御への処理は中止するように制御する。命令制御部 101 は、第 1 の実施例と同様にレジスタ番号 164 に対応したレジスタにデータ 165 を書いて完了する。さらに、信号 1505 は、長ラテンシ処理検出器 104 に送り（第 14 図）、キャッシュがヒットしたことを伝える。第 16 図は、長ラテンシ処理検出器 104 の構成を示しており、信号 1505 が 1 であるとその出力である登録許可信号 166 は 0 となる。これによつて、キャッシュがヒットするとスコアボードには登録されない。

次に、キャッシュミスの動作を説明する。ミスすると、第 1 の実施例と同様にアドレス変換器 705 で変換された物理アドレス 730 とレジスタ番号 731 をメモリバンク制御に送付する。一方、インターフェース信号 1505 は、長ラテンシ処理検出器 104 にキャッシュがミスしたことを伝える。これにより、長ラテンシ処理検出器 104 の出力 166 は 1 となり、キャッシュミスするとスコアボードに登録される。メモリバンク制御で処理が完了するとデータ 733、レジスタ番号 732 はパイプラインラッチ 750-M38, 751-M38 へ格納される。第 1 の実施例と異なるのは、主メモリからのデータをキャッシュメモリに格納する点であり、そのためアドレスバッファ 1501 からのアドレスに従い、1506 を介してデータをキャッシュメモリに書く。同時にインターフェース 163, 164, 165 を通して命令制御部 101 へ返答信号とレジスタ番号とデータを返すように動作する。命令制御部 101

は、第1の実施例と同様にレジスタ番号164に対応したレジスタにデータ165を書いて完了するとともに、スコアボード105のレジスタ800を解除するように動作する。

もう1つの命令であるFPLDはFLDと多少異なった動作をする。FPLD命令は、主メモリ122から直接レジスタ113にデータを格納する命令である。このため、キャッシングメモリがあるメモリ制御部において、キャッシングをスルーして動作する。メモリ制御部102に送られたアドレスは直接アドレス変換器705でアドレス変換されメモリバンク制御701に送られる。一方、長ラテンシ処理検出器104（第16図）は、キャッシングミスしたかどうかに依存せずに命令解読によって出力166を1にしスコアボードに登録する。また、FPLD命令は、メモリバンク制御から戻ってきたデータをキャッシングメモリに格納する動作をせずに、インターフェース163, 164, 165を通して命令制御部101へレジスタ番号とデータを返すように動作する。命令制御部101は、第1の実施例と同様にレジスタ番号164に対応したレジスタにデータ165を書いて完了するとともにスコアボード105のレジスタ800を解除するように動作する。

本第2の実施例では、キャッシングがヒットしたときを演算命令と同じパイプラインで処理し（短ラテンシ処理）、ミスしたときのみ長ラテンシ処理扱いして制御する。これによって、キャッシングメモリを持つメモリ制御においてキャッシングミスが生じた場合もレジスタ競合が無い期間、次々と後続命令のパイプライン処理を開始でき、主メモリをアクセスする長ラテンシ処理のパイプライン化による処理の隠蔽が可能になる。

第2の実施例においてメモリ制御部と命令制御部のインターフェースを改良した場合の第3の実施例を示す。

第2の実施例と大部分共通であるので異なる構成のみ第17図、第

18図で示す。第17図は科学技術計算用計算機の全体構成、第18図はキャッシュメモリを持つメモリ制御部の構成を示す。メモリ制御部のインターフェースが主に異なっているため、その部分を中心に動作を説明する。第14図から第17図に変更されたのはキャッシュがヒットしたときにヒットしたことを示す信号とともにキャッシュメモリからのデータを出力する1705をインターフェースに追加したことである。

F LD命令は、命令制御部101からメモリ制御部102へ、データを読み出す要求信号160、メモリアドレス161、ターゲットレジスタ番号162を受け渡す。送られたメモリアドレス751-M2はセレクタ1502を介してキャッシュメモリ1500をアクセスする。キャッシュメモリ1500がメモリアドレスに対するデータを持っていればキャッシュヒットとなり、データバス1506を通して、ラッチ1801にセットする。つまり、キャッシュがヒットするとデータ1801、キャッシュがヒットしたことを示す信号1504が同時にセットされ、インターフェース信号1701、1505を介して命令制御部101へ返答する。命令制御部101は、第17図に示すように演算結果を出力する151とメモリ制御部からのデータ1701をセレクタ1702で選択してレジスタ113にデータを書き込む。この時のターゲットレジスタ番号は、演算からのパス167から供給される。キャッシュミスが発生するケース、及び、FPLD命令の動作は第2の実施例と同様であり説明を省略する。第3の実施例により、キャッシュメモリがヒット（短ラテンシ処理）したときのレジスタ番号をメモリ制御部から返答しなくてもよいという効果がある。つまり、長ラテンシ処理の時のみメモリ制御部からレジスタ番号を保証することによりメモリ制御部の簡易化が図られる。

上述の3つの実施例は、すべてシングルパイプライン実行について述

べたが、n命令を同じに発行して処理するスーパースカラ型のプロセッサにおいても基本パイプラインを超えて処理する長ラテンシ命令に対して本発明を展開することは容易である。

第20図に4命令のスーパースカラ型のプロセッサの概略を示す。

これは、命令を発行する命令発行処理部2000、命令発行部からの命令を浮けて制御する命令制御部2001-1～2001-4、短ラテンシ処理を行う短ラテンシ処理部2002-1～2002-4、長ラテンシ処理を行う長ラテンシ処理部2005、長ラテンシ及び短ラテンシ処理で用いる複数のデータを保持する汎用レジスタ2010、短ラテンシ処理によるレジスタ競合を検出するレジスタ競合検出部2011、命令の処理内容が長ラテンシ処理かを判定する長ラテンシ検出部2013、長ラテンシ処理の際のレジスタの競合を示すスコアボード2012から構成される。

命令発行処理部2000は、同時に4つの命令を2020-1～-4を介してそれぞれの命令制御部2001-1～-4に供給する。命令制御部2001-1～-4は、供給された命令の処理内容が短ラテンシ処理であれば、制御信号2021-1～4により短ラテンシ処理部2002-1～4を制御する。また、供給された命令の処理内容が長ラテンシ処理であれば、制御信号2023-1～4により長ラテンシ処理部2005を制御する。

レジスタ競合検出部2011は、4つの命令で用いるレジスタ全てについて競合の有無を検出する。競合が検出されると、信号2028により命令発行処理部2000に命令の発行を停止させる。スコアボード2012は第19図と同じ機能を有する。

このように複数命令を並列に処理するスーパースカラ型のプロセッサにおいても、レジスタ競合をレジスタ競合検出部とスコアボードにわけ

て強調動作させることができ、物理量の増加を抑えながら長ラテンシ処理のフルパイプライン化を簡単な制御論理で達成することができる。

さらに、LSI技術が発展して集積化が進むと命令制御部とメモリ制御部の一部を含めたワンチップのマイクロプロセッサが実現できる。第7図、第15図、第18図よりわかるようにメモリ制御部を任意のステージラッチ分割すると全ての切り口でレジスタ番号を受け渡す、又は、返答するインターフェースが端子として現れる。

具体的な一例として第18図のメモリバンク制御の前までをワンチップのマイクロプロセッサとするとレジスタ番号を受け渡すインターフェースとして731、レジスタ番号を返答するインターフェースとして732が必要であり、そのためのLSIピン（端子）が必要となる。

第21図にこの第18図の接続関係をチップの接続関係で表した図を示す。これによると、インターフェース部を介して要求信号、応答信号、アドレス、データ等を伝送するためにプロセッサとメモリ制御用チップとを接続するための端子、または配線が必要になる。

産業上の利用の可能性

本発明によれば、短ラテンシ処理と長ラテンシ処理によるレジスタの競合をなくすことができる。

また、本発明によれば、効率よくレジスタを用いた処理ができ、高速なパイプライン処理が達成される。

また、本発明によれば、レジスタ競合を検出するための処理部の物理量を小さくすることができる。

また、本発明によれば、レジスタ競合を検出する論理制御を複雑にすることなく実現できる。

また、本発明によれば、第1のレジスタ競合検出器でパイプライン投

人予定の命令と全ての命令の n サイクルまでのレジスタ競合を検出するので、長ラテンシ処理中以外のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

さらに、本発明によれば、第2のレジスタ競合用スコアボードでパイプライン投入予定の命令と $(k + 1)$ から m サイクルで処理中の命令のレジスタ競合を検出するので、長ラテンシ処理中のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

また、本発明によれば、長ラテンシ命令同志であってもレジスタ競合がなければパイプライン処理できる。

さらに、本発明によれば、分岐命令や割込み処理等のパイプライン制御が乱れる期間 (1 サイクルから K サイクル) ではレジスタ競合検出部により、パイプライン制御が乱れない期間 ($K + 1$ サイクルから m サイクル) ではレジスタ競合スコアボードにより処理するので、物理量の増加を抑えながら、長ラテンシ処理のフルパイプライン化を簡単な制御論理で実行できる。

また、本発明によれば、インターフェース内の要求信号と応答信号は非同期に処理され、返答信号の順序が変わるような長ラテンシ命令であっても、長ラテンシ処理中のレジスタ競合が無い期間パイプライン処理を次々に開始できる。

さらに、本発明によれば、命令実行の順序性を保証しないインターフェース部により、処理の終了した命令と命令制御部内のパイプライン処理へ投入する後続命令との間で、レジスタ競合が生じていても余分なインターロックを行うことなく、パイプライン処理のオーバーヘッドを減少させることができる。

請求の範囲

1. 命令を n (n は 1 以上の整数) サイクルでパイプライン処理によつて実行する短ラテンシ処理を行う短ラテンシ処理部と、

次に投入されてパイプライン処理を行う後続命令と上記短ラテンシ処理部で処理している短ラテンシ処理命令とのレジスタの競合を検出するレジスタ競合検出部と、

命令を m (m は n より大きい整数) サイクルでパイプライン処理によつて実行する長ラテンシ処理を行う長ラテンシ処理部と、

上記命令が長ラテンシ処理であることを検出する長ラテンシ処理検出部と、

次に投入されてパイプライン処理を行う後続命令と $K + 1$ (K は $n < K < m$ を満たす整数) サイクルから m サイクルの期間で処理中の長ラテンシ処理命令とのレジスタの競合を検出し、対応するレジスタが処理のために使用しているか否かの情報を更新するレジスタ競合スコアボードとを有し、

命令が与えられると上記レジスタ競合検出部は上記命令の K サイクルまでのレジスタ競合を検出し、上記命令が長ラテンシ処理であることを上記長ラテンシ処理検出部が検出すると $(K + 1)$ サイクルまでに上記レジスタ競合スコアボードにレジスタの使用を登録し、上記長ラテンシ処理の命令の実行終了までのレジスタ競合を検出することを特徴とする情報処理装置。

2. 請求項 1 において、

上記長ラテンシ処理の命令は、外部記憶部からデータを読み出して処理する命令であることを特徴とする情報処理装置。

3. 請求項 1 において、

上記長ラテンシ処理部は、上記命令発行部に対して後続命令の発行を

停止、または、待たせることを特徴とする情報処理装置。

4. 請求項 1において、

上記短ラテンシ処理部は演算を実行する命令処理部であり、上記長ラテンシ処理部は外部記憶部からデータを読み出して演算し内部記憶部へデータを格納するメモリ処理部であることを特徴とする情報処理装置。

5. 請求項 1において、

上記レジスタ競合検出部または上記レジスタ競合スコアボードによつてレジスタ競合が検出されると、後続命令のパイプライン処理の投入を停止、または、待たせることを特徴とする情報処理装置。

6. 命令に従って内部記憶部に保持されたデータを読み出し n (n は 1 以上の整数) サイクルでパイプライン処理し上記内部記憶部に格納する短ラテンシ処理を行う命令処理部と、

次に投入されてパイプライン処理を行う後続命令と上記命令処理部で処理している短ラテンシ処理命令とのレジスタの競合を検出するレジスタ競合検出部と、

命令に従って外部記憶部からデータを読み出しを m (m は n より大きい整数) サイクルでパイプライン処理し上記内部記憶部に格納する長ラテンシ処理を行うメモリ処理部と、

上記命令が上記外部記憶部からデータを読み出す長ラテンシ処理であることを検出する長ラテンシ処理検出部と、

次に投入されてパイプライン処理を行う後続命令と $K+1$ (K は $n < K < m$ を満たす整数) サイクルから m サイクルの期間で処理中の長ラテンシ処理命令とのレジスタの競合を検出し、対応するレジスタが処理のために使用しているか否かの情報を更新するレジスタ競合スコアボードと、

上記命令処理部から上記メモリ処理部へデータを読み出すために要求

する要求信号、上記外部記憶部の格納位置を示す外部記憶アドレス信号、内部記憶部の格納位置を示す内部記憶アドレス信号と上記メモリ処理部から上記命令処理部へ上記要求信号に応じる応答信号、上記外部記憶部に保持されたデータを伝送するインターフェース部とを有し、

命令が与えられると上記レジスタ競合検出部は上記命令の K サイクルまでのレジスタ競合を検出し、上記命令が長ラテンシ処理であることを上記長ラテンシ処理検出部が検出すると競合情報を (K+1) サイクル以前に所定のレジスタに対応する上記レジスタ競合スコアボードに登録し、m サイクル後に上記所定のレジスタに対応する上記レジスタ競合スコアボードから解除して、上記外部記憶部からデータを読み出す長ラテンシ処理の命令の実行終了までのレジスタ競合を検出することを特徴とする情報処理装置。

7. 請求項 6 において、

上記インターフェース部は、上記命令処理部から上記メモリ処理部へ信号を伝送する第 1 のインターフェースと上記メモリ処理部から上記命令処理部へ信号を伝送する第 2 のインターフェースとからなることを特徴とする情報処理装置。

8. 請求項 6 において、

上記長ラテンシ処理部は、上記命令発行部に対して後続命令の発行を停止、または、待たせることを特徴とする情報処理装置。

9. 請求項 6 において、

上記短ラテンシ処理部は演算を実行する命令処理部であり、上記長ラテンシ処理部は外部記憶部からデータを読み出して演算し内部記憶部へデータを格納するメモリ処理部であることを特徴とする情報処理装置。

10. 請求項 6 において、

上記レジスタ競合検出部または上記レジスタ競合スコアボードによつ

てレジスタ競合が検出されると、後続命令のパイプライン処理の投入を停止、または、待たせることを特徴とする情報処理装置。

11. 命令に従って内部記憶部に保持されたデータを読み出し n (n は 1 以上の整数) サイクルでパイプライン処理し上記内部記憶部に格納する短ラテンシ処理を行う命令処理部と、

次に投入されてパイプライン処理を行う後続命令と上記命令処理部で処理している短ラテンシ処理命令とのレジスタの競合を検出するレジスタ競合検出部と、

外部記憶部からのデータを保持するキャッシュメモリと、

命令に従って、上記キャッシュメモリに所定のデータがあれば上記キャッシュメモリからデータを読み出すか、上記キャッシュメモリに所定のデータがなければ外部記憶部からデータを m (m は n より大きい整数) サイクル期間内に読み出し、読み出されたデータをパイプライン処理し上記内部記憶部に格納する長ラテンシ処理を行うメモリ処理部と、

上記命令が上記外部記憶部からデータを読み出す長ラテンシ処理であることを検出する長ラテンシ処理検出部と、

次に投入されてパイプライン処理を行う後続命令と $K+1$ (K は $n < K < m$ を満たす整数) サイクルから m サイクルの期間で処理中の長ラテンシ処理命令とのレジスタの競合を検出し、対応するレジスタが処理のために使用しているか否かの情報を更新するレジスタ競合スコアボードと、

上記命令処理部から上記メモリ処理部へデータを読み出すために要求する要求信号、上記外部記憶部の格納位置を示す外部記憶アドレス信号、内部記憶部の格納位置を示す内部記憶アドレス信号と上記メモリ処理部から上記命令処理部へ上記要求信号に応じる応答信号、上記外部記憶部に保持されたデータを伝送するインターフェース部とを有し、

命令が与えられると上記レジスタ競合検出部は上記命令の K サイクルまでのレジスタ競合を検出し、上記命令が長ラテンシ処理であり対象とするデータが上記キャッシュメモリに存在しないことを上記長ラテンシ処理検出部が検出すると競合情報を (K+1) サイクル以前に所定のレジスタに対応する上記レジスタ競合スコアボードに登録し、m サイクル後に上記所定のレジスタに対応する上記レジスタ競合スコアボードから解除して、上記外部記憶部からデータを読み出す長ラテンシ処理の命令の実行終了までのレジスタ競合を検出することを特徴とする情報処理装置。

1 2. 請求項 1 1において、

上記インターフェース部は、上記命令処理部から上記メモリ処理部へ信号を伝送する第 1 のインターフェースと上記メモリ処理部から上記命令処理部へ信号を伝送する第 2 のインターフェースとからなることを特徴とする情報処理装置。

1 3. 請求項 1 1において、

上記長ラテンシ処理部は、上記命令発行部に対して後続命令の発行を停止、または、待たせることを特徴とする情報処理装置。

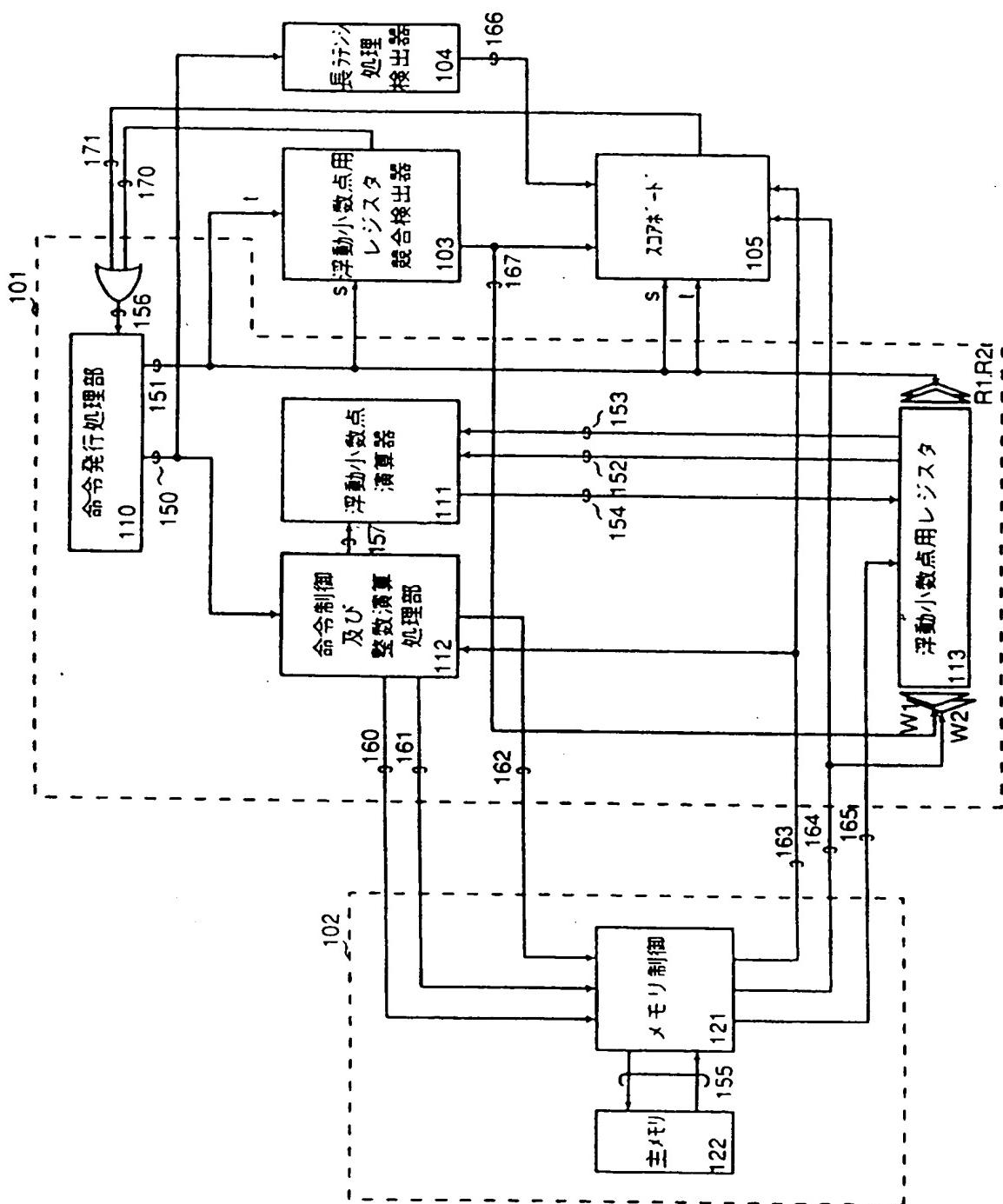
1 4. 請求項 1 1において、

上記短ラテンシ処理部は演算を実行する命令処理部であり、上記長ラテンシ処理部は外部記憶部からデータを読み出して演算し内部記憶部へデータを格納するメモリ処理部であることを特徴とする情報処理装置。

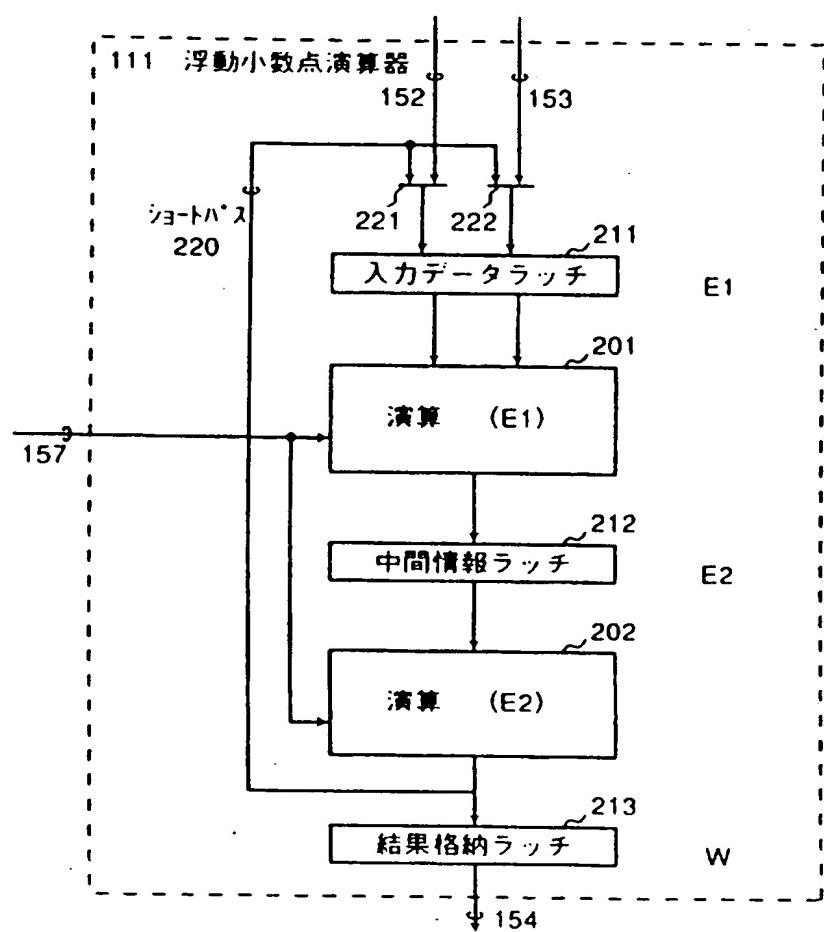
1 5. 請求項 1 1において、

上記レジスタ競合検出部または上記レジスタ競合スコアボードによつてレジスタ競合が検出されると、後続命令のパイプライン処理の投入を停止、または、待たせることを特徴とする情報処理装置。

第1回



第 2 図



第3図

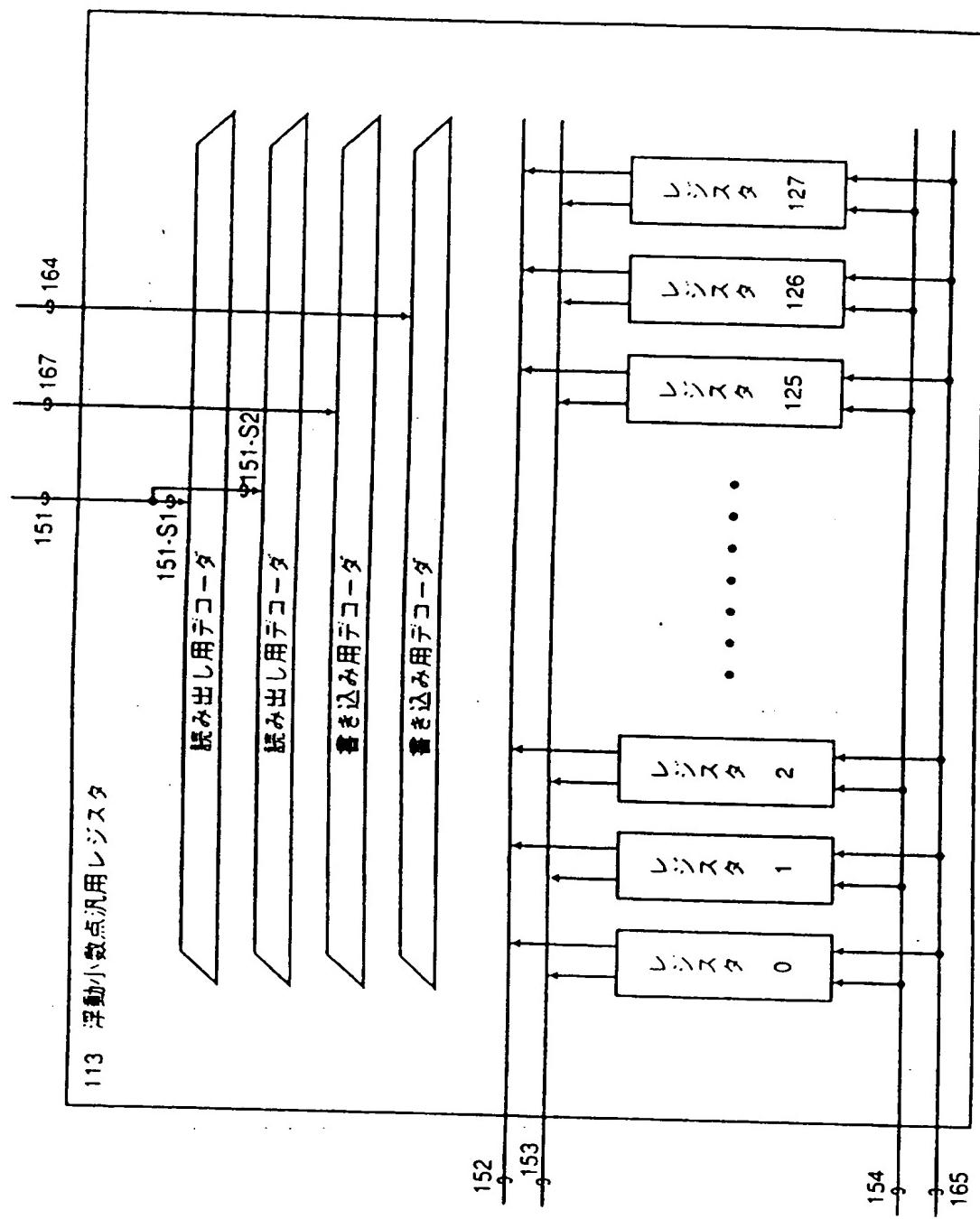
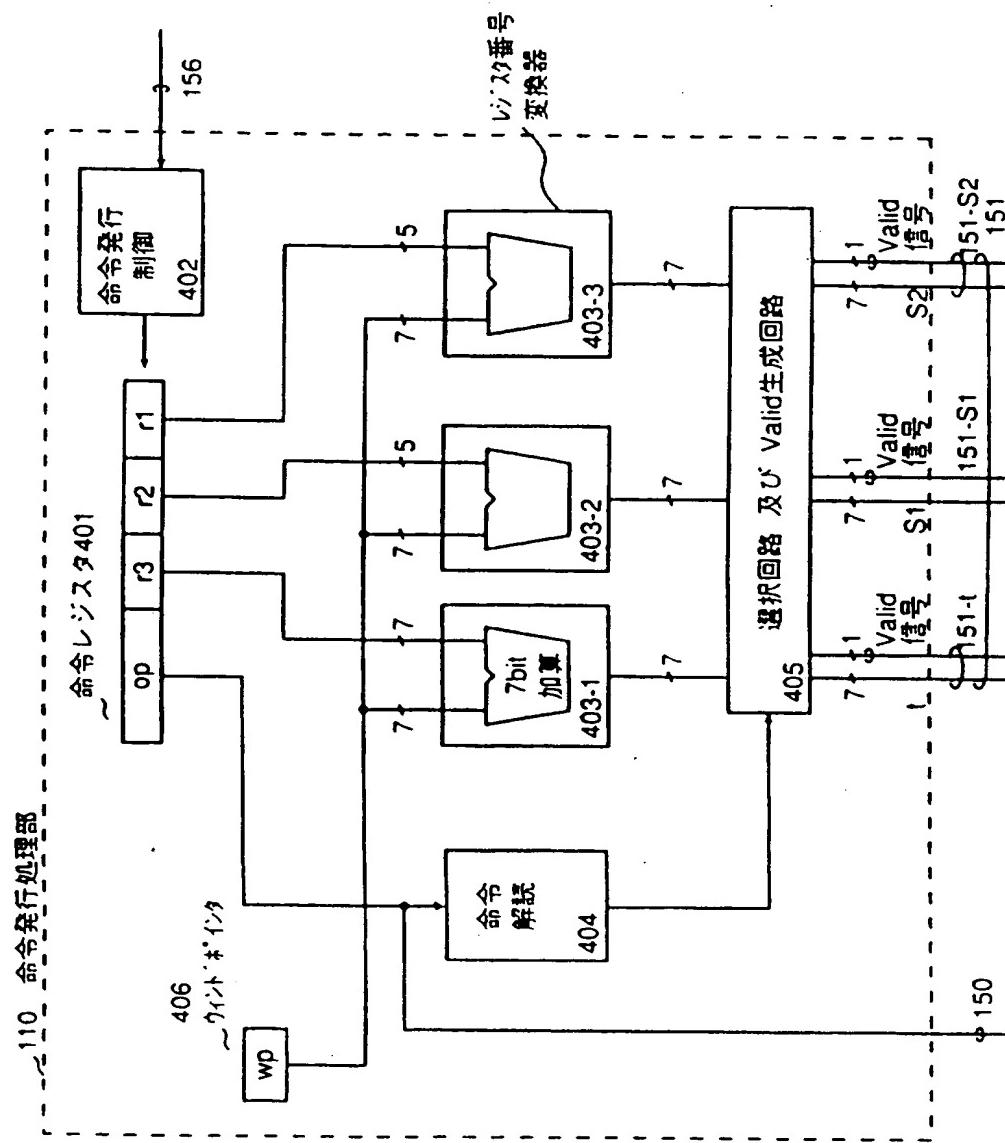
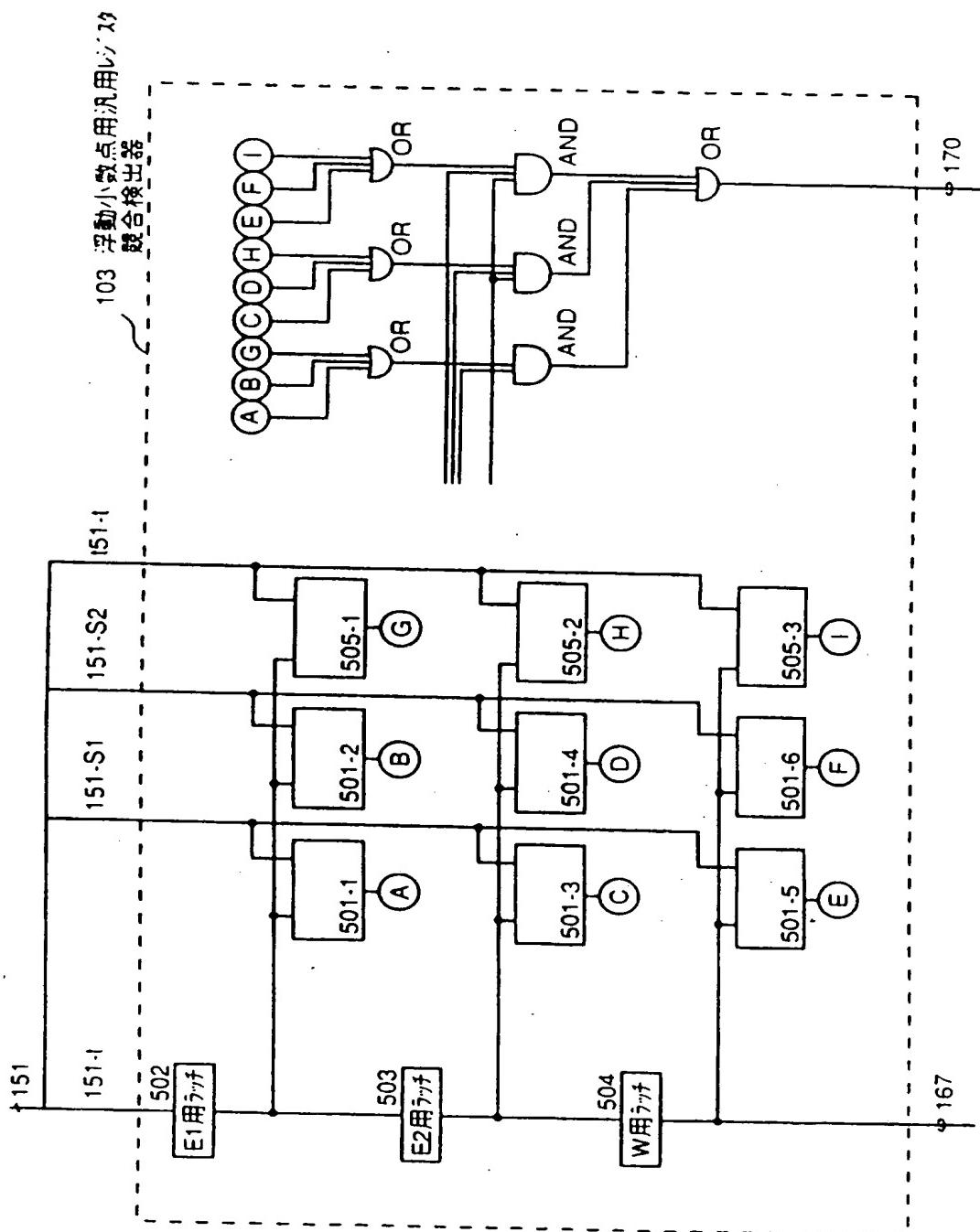


図 4

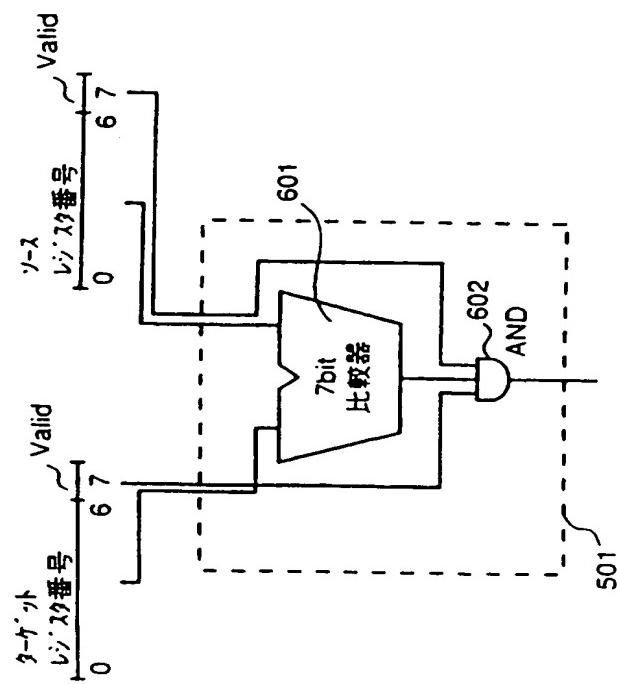


第 5 図



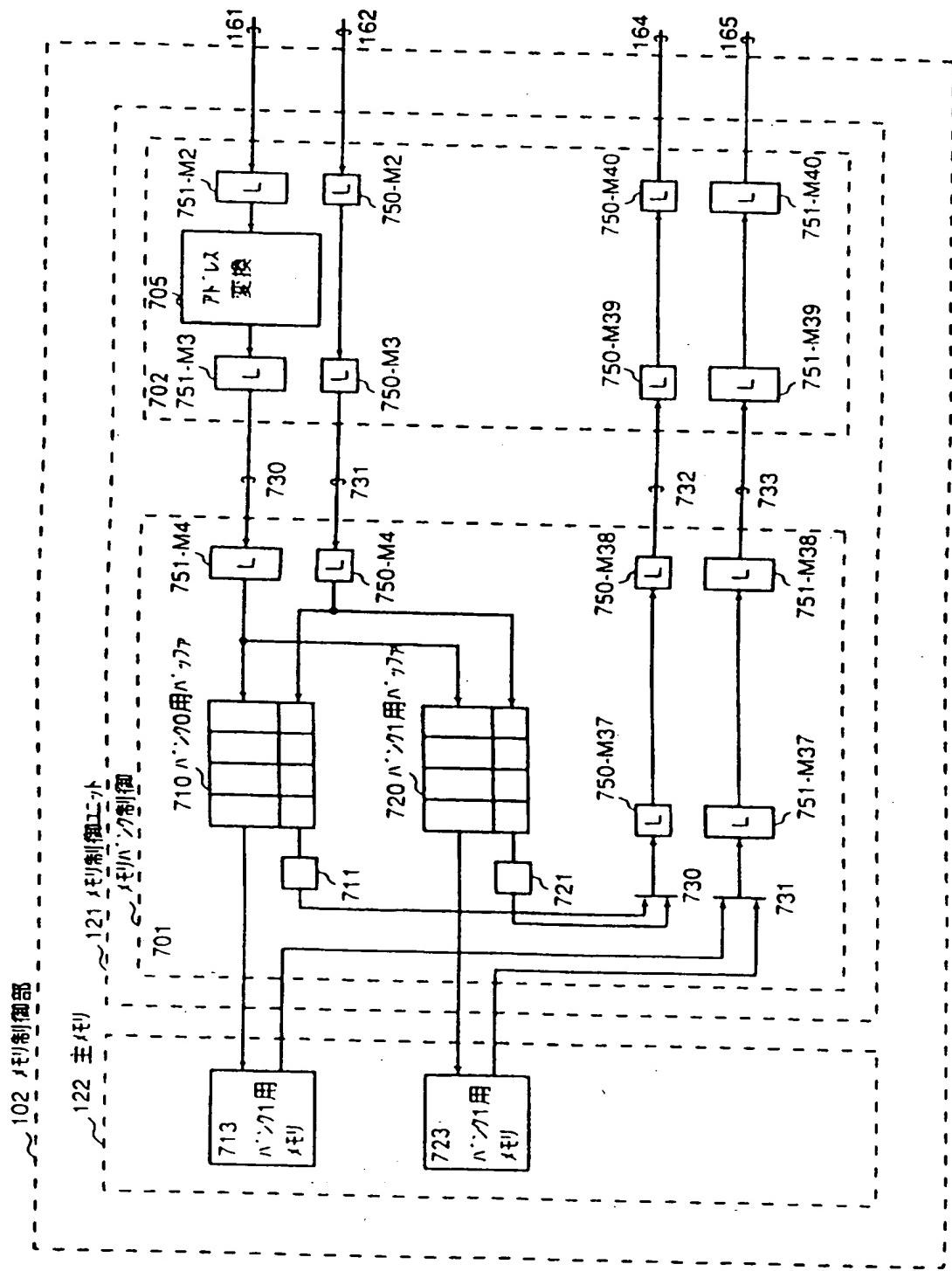
6/21

図 6 図



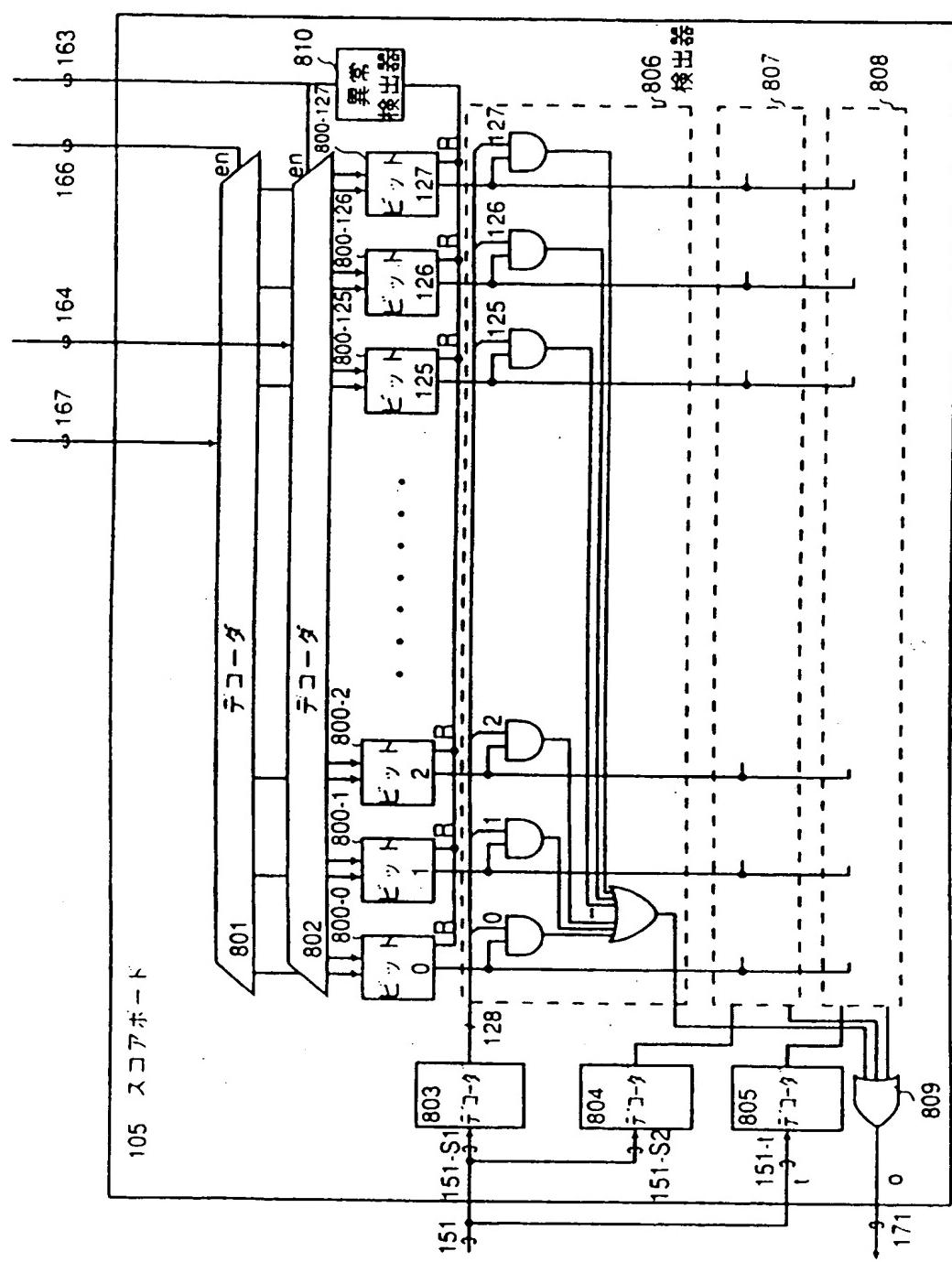
7/21

第 7 図



8/21

第 8 図



9/21

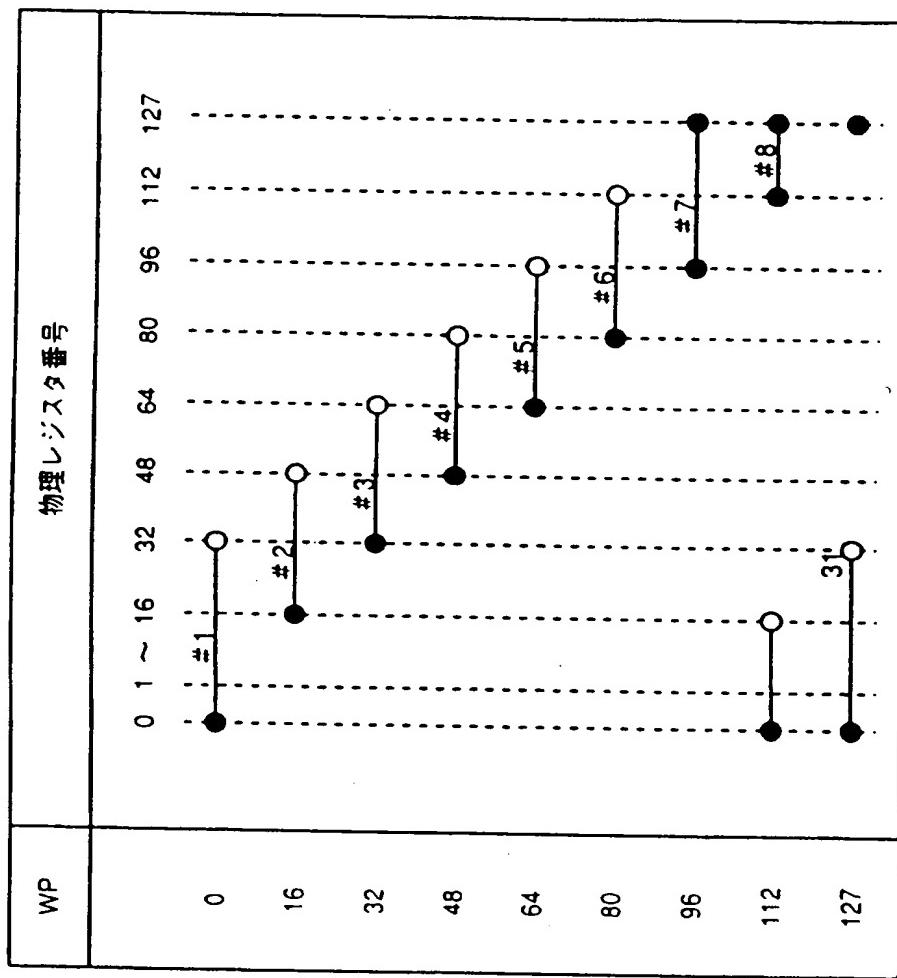
図 9

命令ニモニック	動作	命令コード
FMUL r1,r2,r3	$r1 \times r2 \rightarrow r3$	op 0 r3 r2 r1
FADD r1,r2,r3	$r1 + r2 \rightarrow r3$	op 0 r3 r2 r1
FLD GR1,disp,r3	アドレス (GR1 + disp) の内容 $\rightarrow r3$	op 0 r3 GR1 disp
FST r1,GR1,disp	$r1 \rightarrow$ アドレス (GR1 + disp) に格納	op 0 r1 GR1 disp
FPLD GR1,disp,r3'	アドレス (GR1 + disp) の内容 $\rightarrow r3'$	op r3' GR1 disp
FPST r1',GR1,disp	$r1' \rightarrow$ アドレス (GR1 + disp) に格納	op r1' GR1 disp
FWP disp1	ウェイプの切り替え disp1 \rightarrow WP	op 0 disp1

$r1, r2, r3$ は、5bit の情報であり 32本のレジスタを選択できる。
 $r3', r1'$ 7bit の情報であり 128本のレジスタを選択できる。

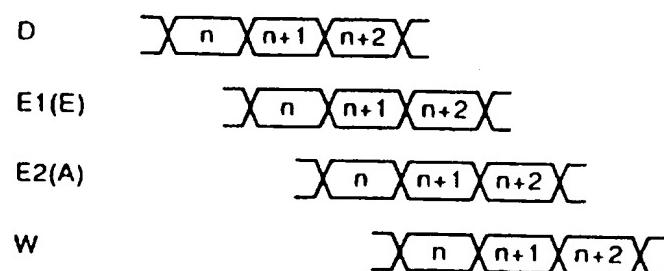
10/21

第10図

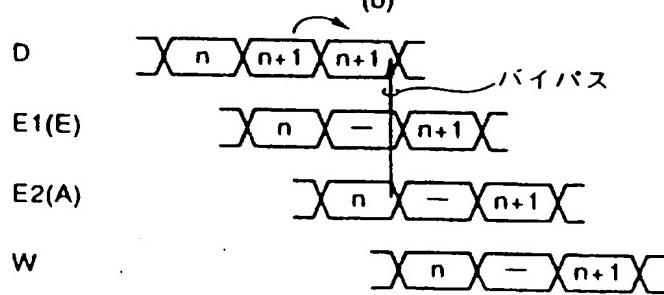


第11図

(a)

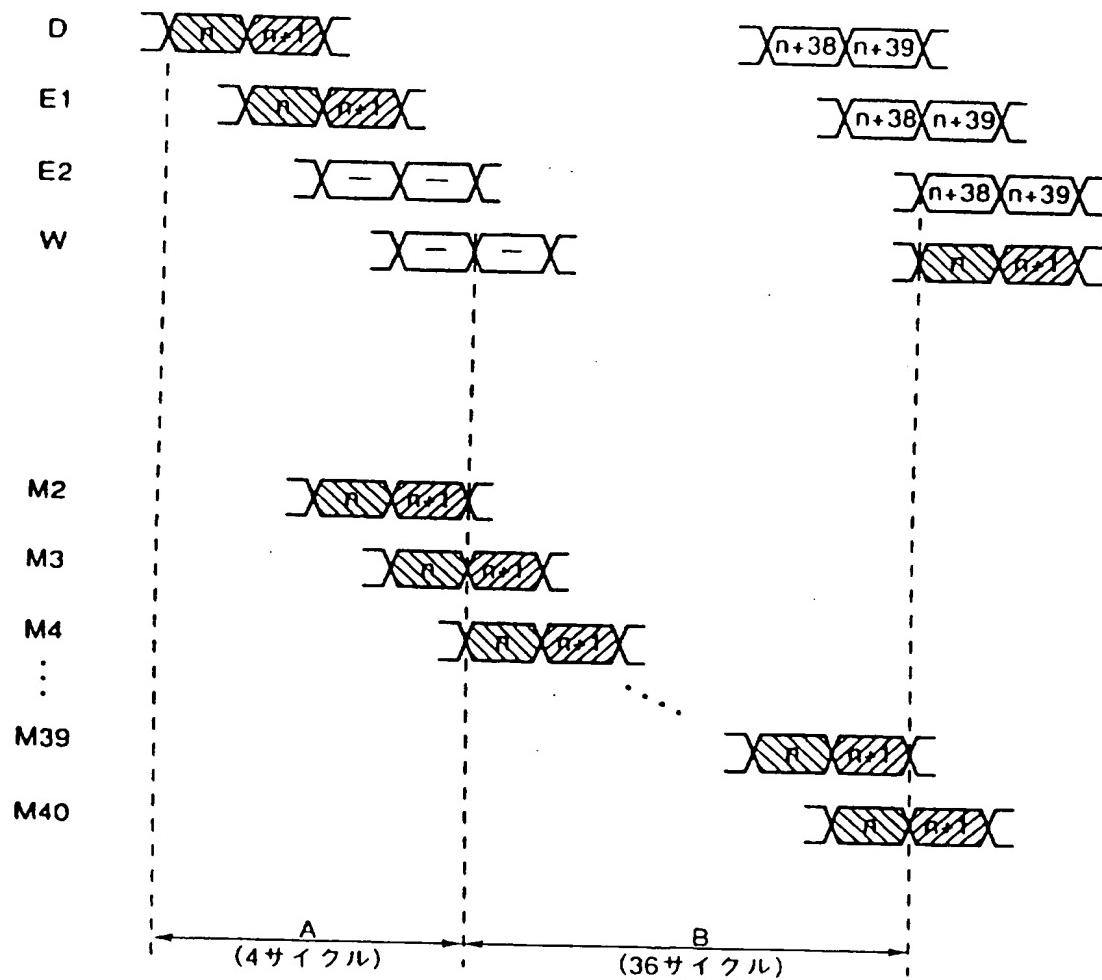


(b)

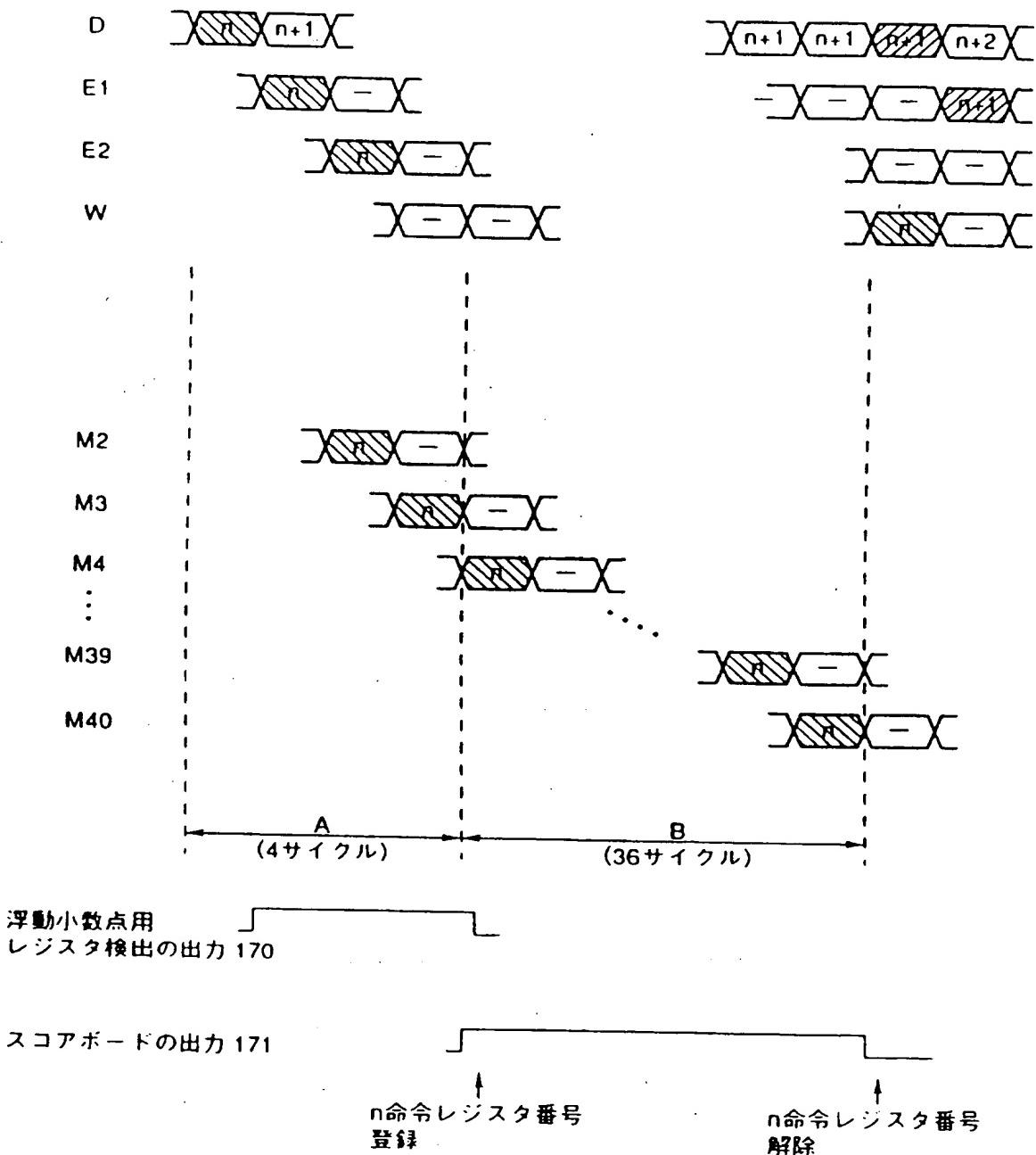


12/21

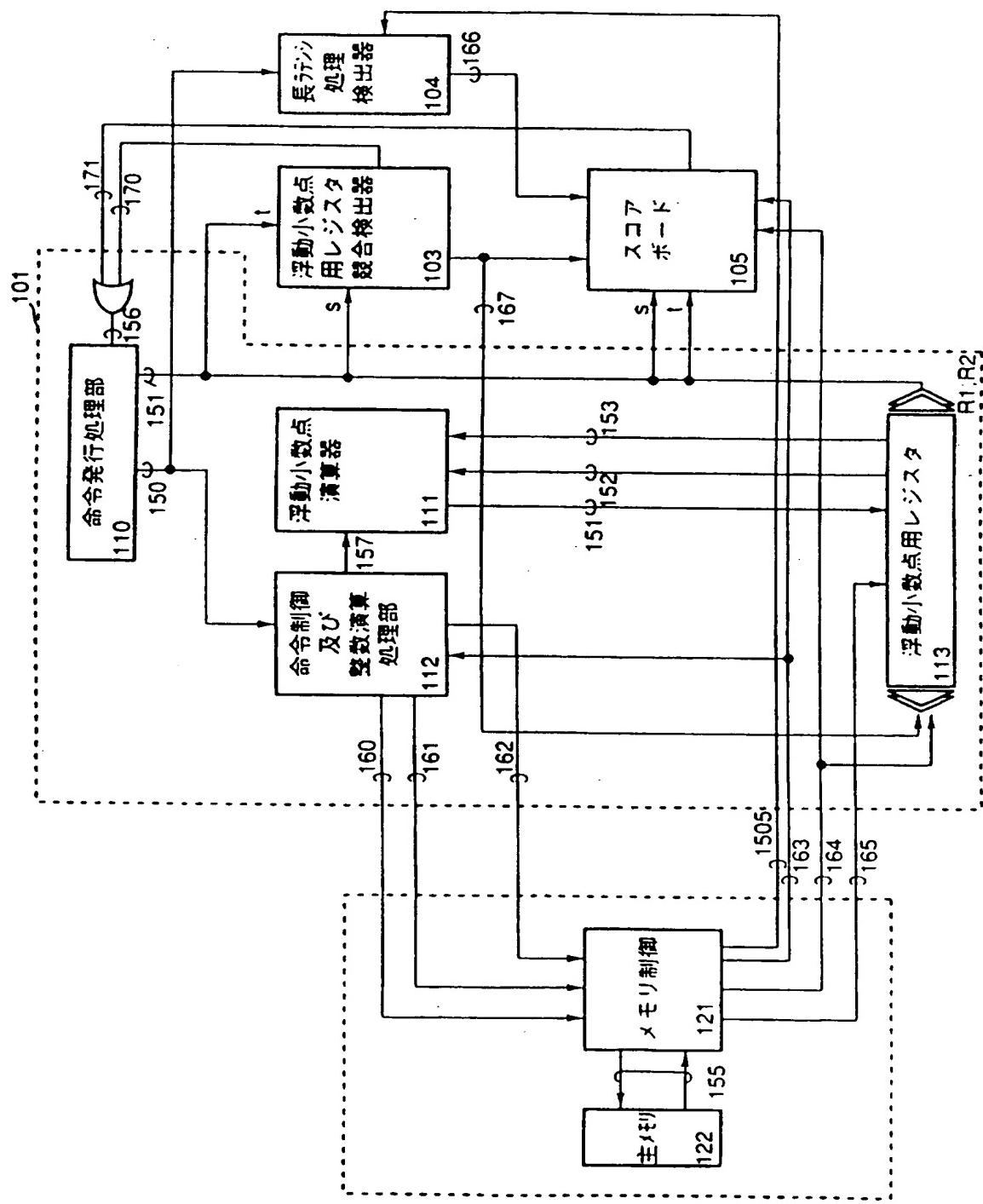
第 12 図



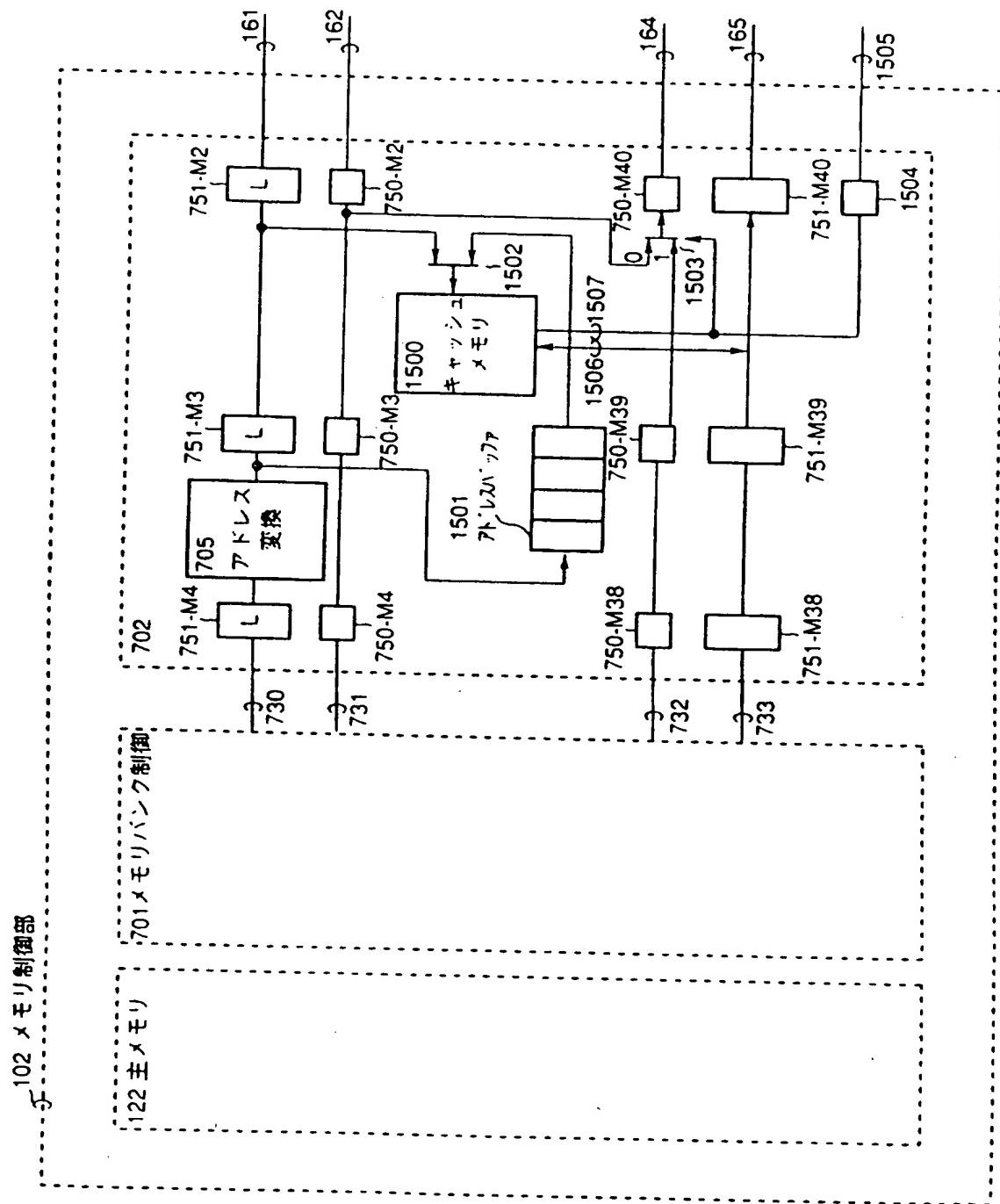
第13図



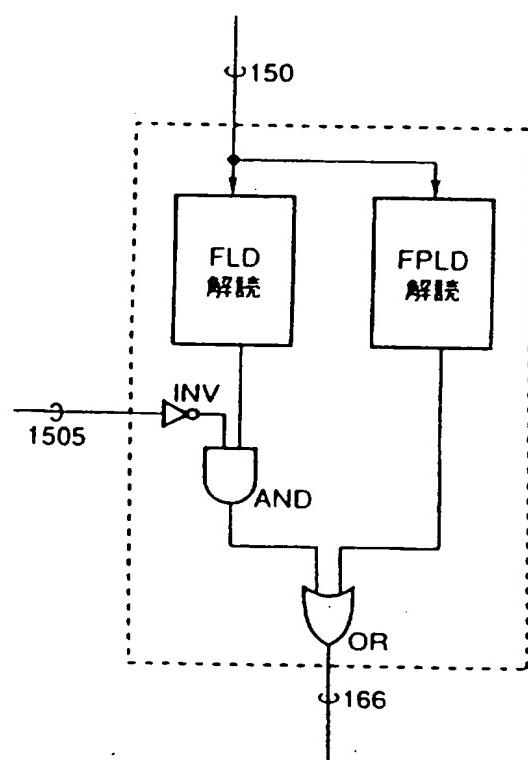
第14図



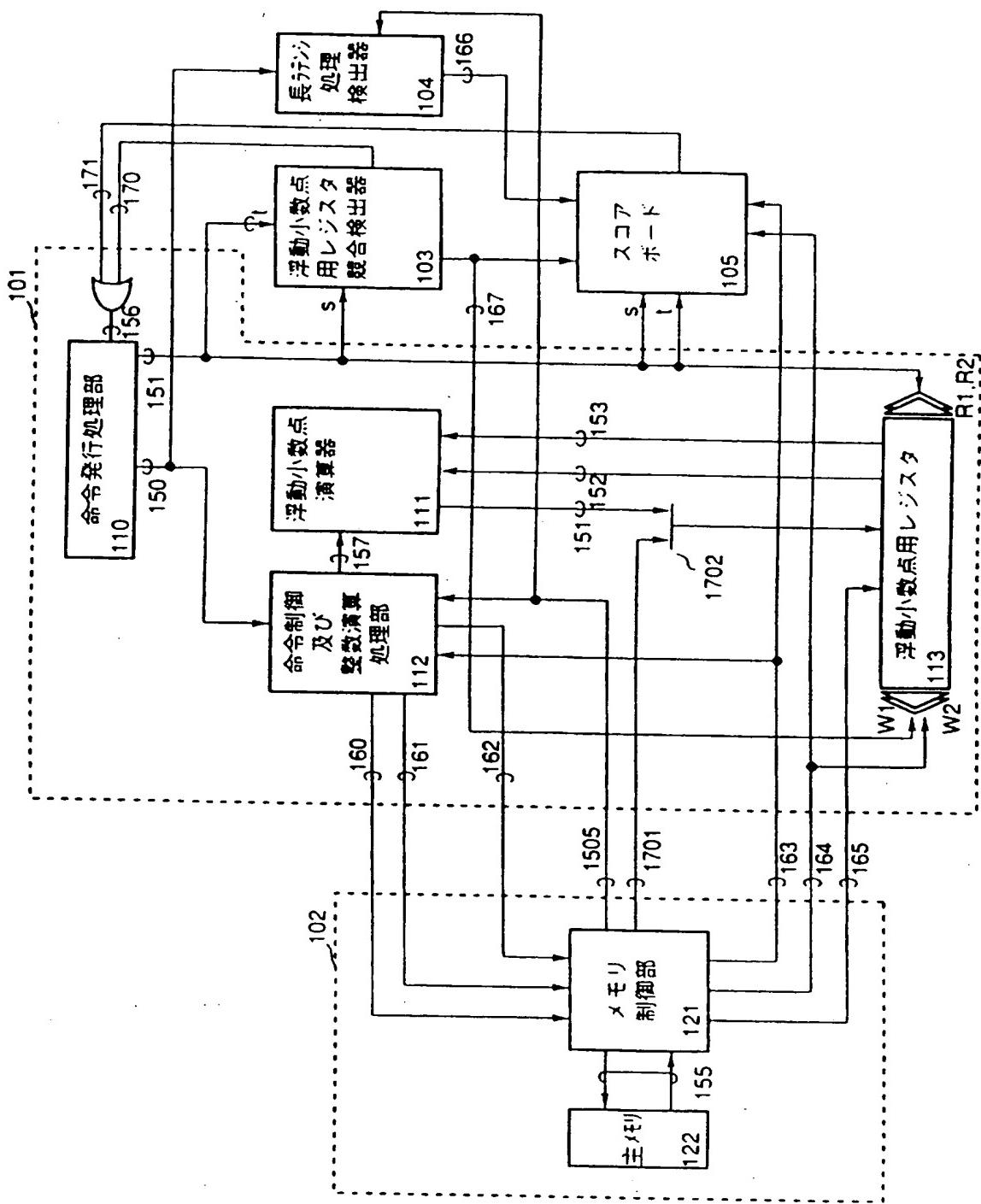
第15図



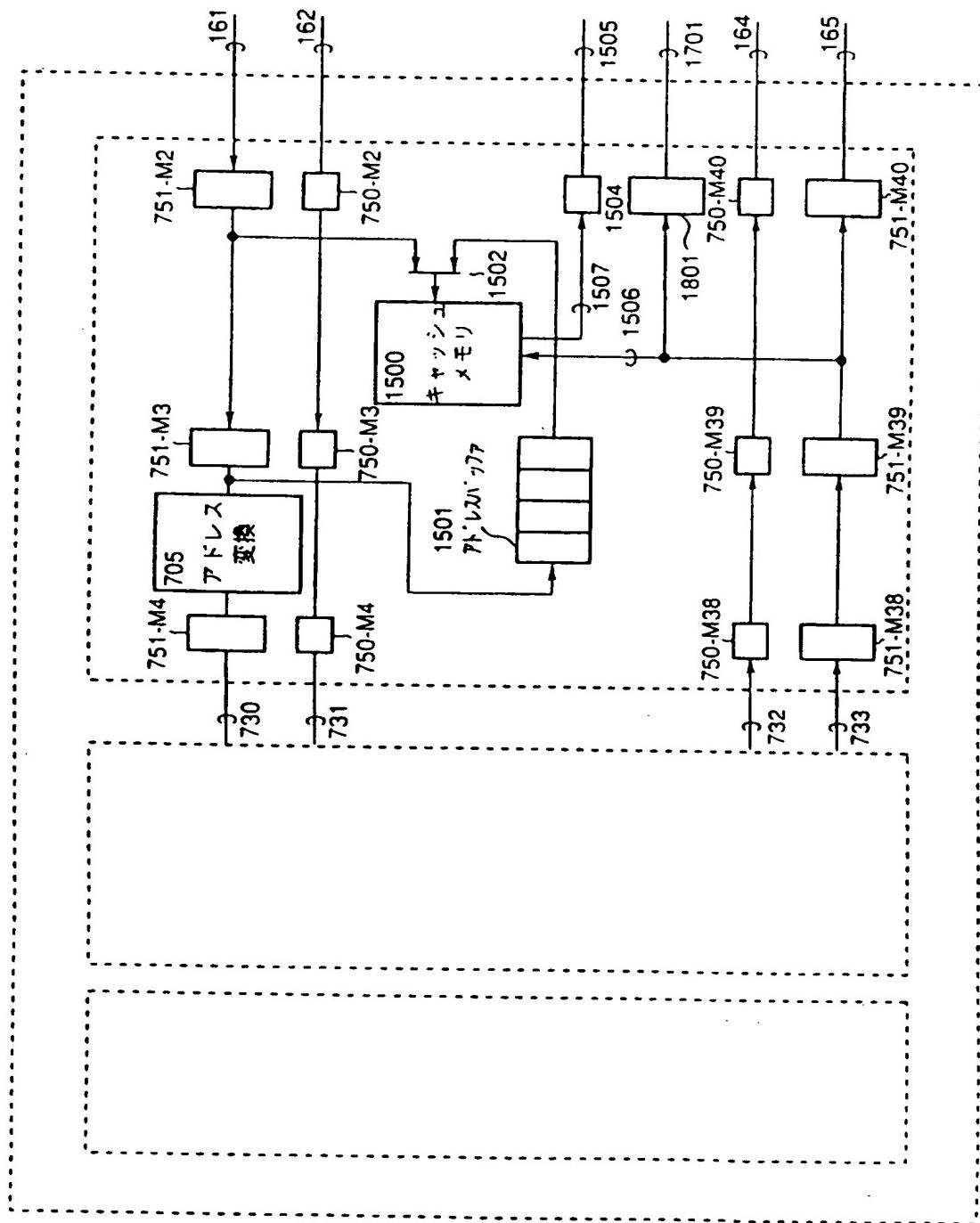
第16図



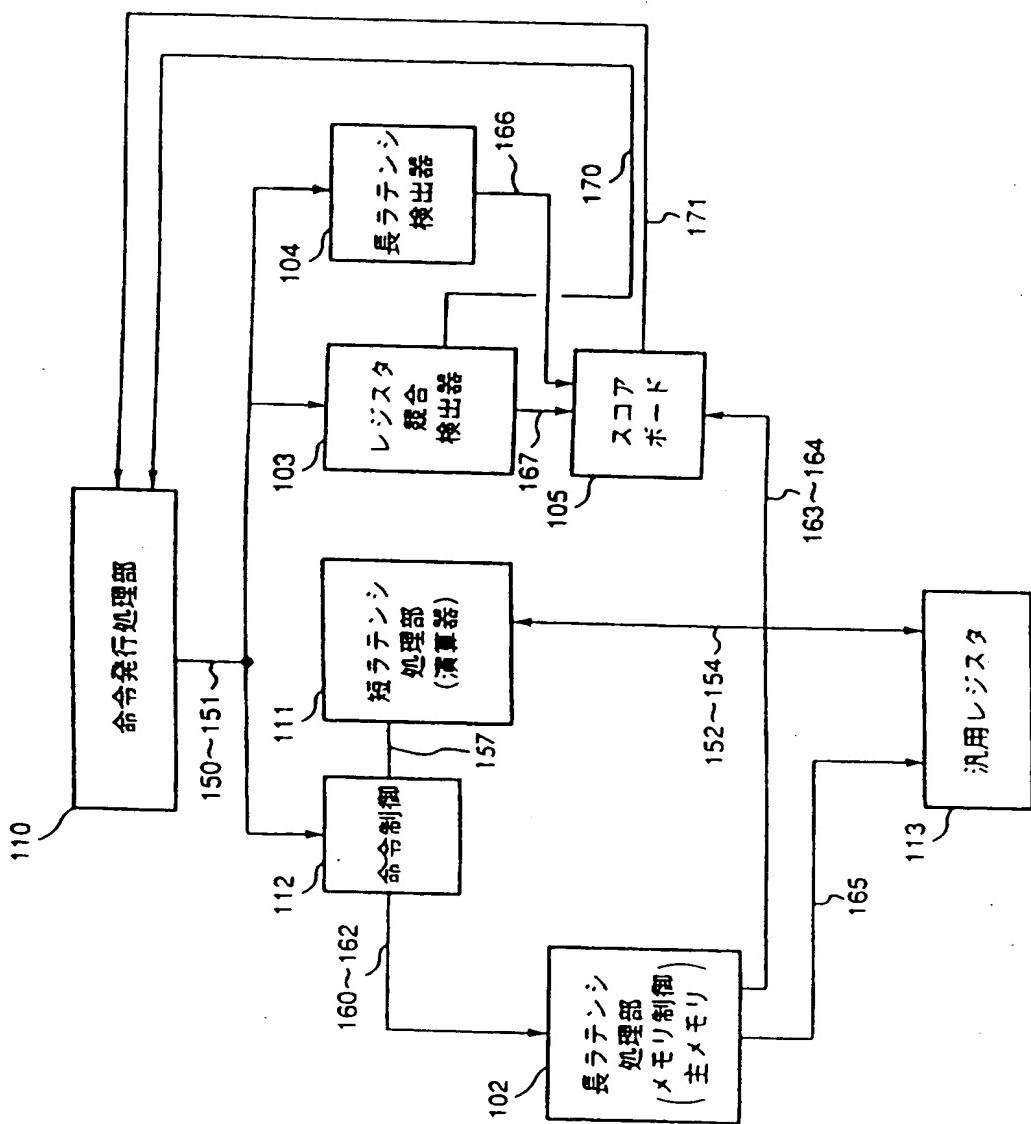
第17回



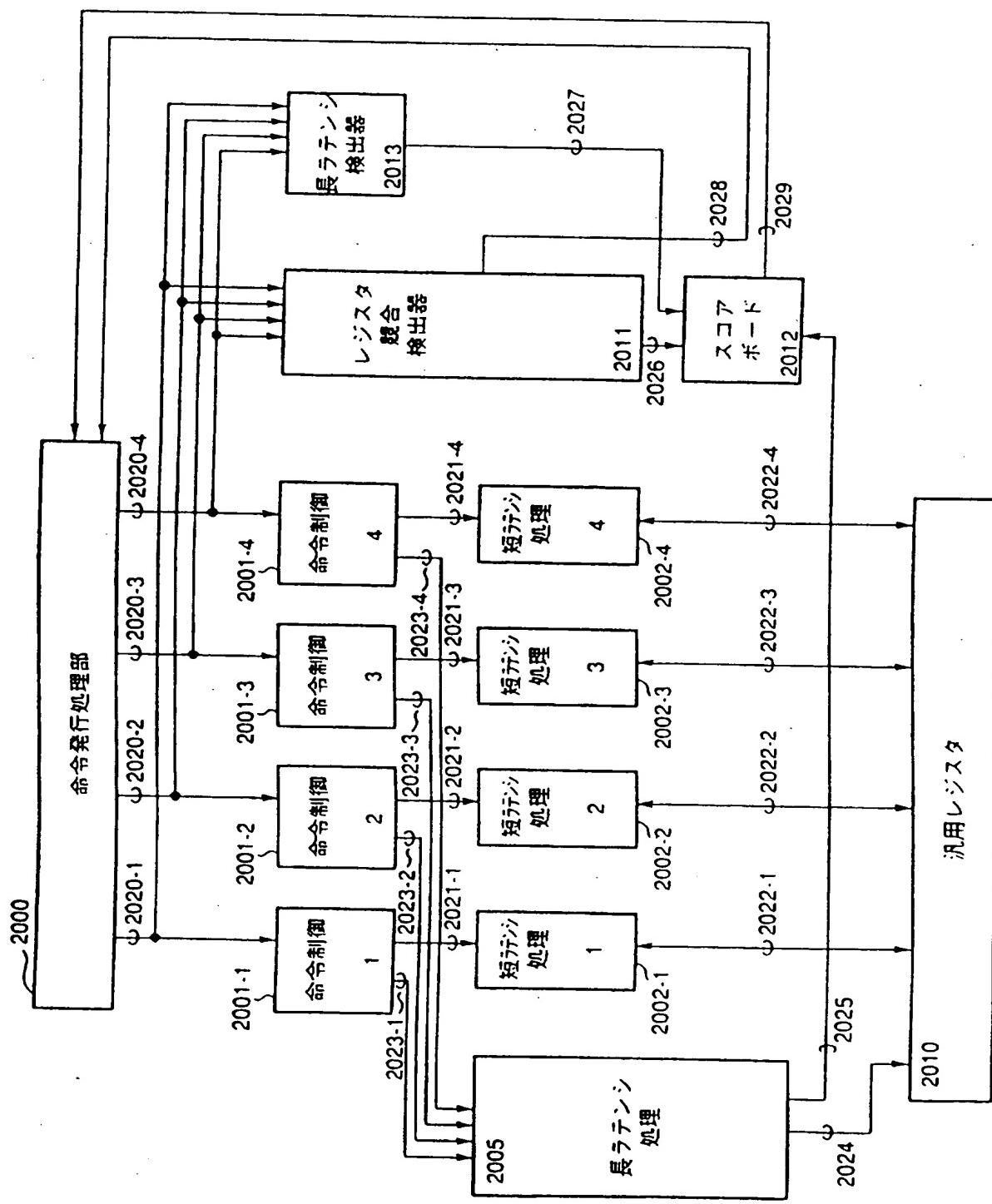
第18図



第19図

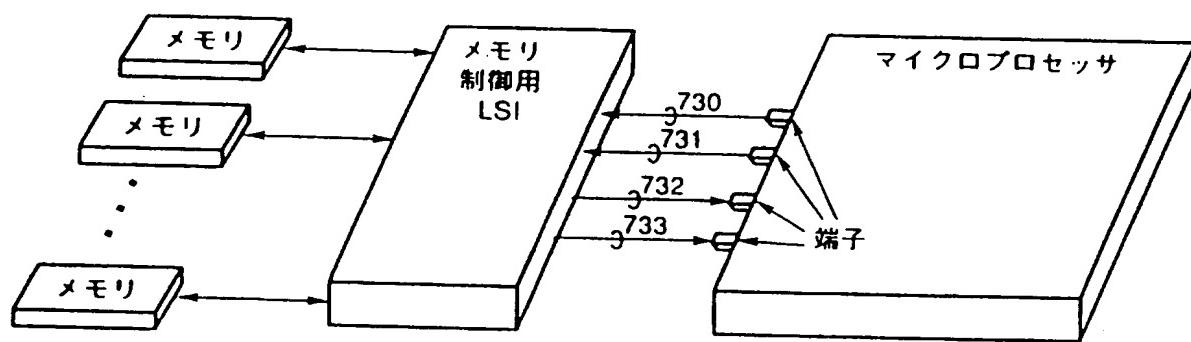


第20図



第21図

主メモリ



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/00356

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F9/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F9/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1995
Kokai Jitsuyo Shinan Koho	1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-67879, A (Fujitsu Ltd.), March 11, 1994 (11. 03. 94) (Family: none)	1 - 15
A	JP, 5-108348, A (Toshiba Corp.), April 30, 1993 (30. 04. 93) (Family: none)	1 - 15
A	JP, 5-298091, A (Matsushita Electric Ind. Co., Ltd.), November 12, 1993 (12. 11. 93) (Family: none)	1 - 15

 Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
May 11, 1995 (11. 05. 95)Date of mailing of the international search report
May 30, 1995 (30. 05. 95)Name and mailing address of the ISA/
Japanese Patent Office
Facsimile No.Authorized officer
Telephone No.

国際調査報告

国際出願番号 PCT/JP 95/00356

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl⁸ G06F9/38

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl⁸ G06F9/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926—1995年
 日本国公開実用新案公報 1971—1995年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 6-67879, A(富士通株式会社), 11. 3月. 1994 (11. 03. 94) (ファミリーなし)	1-15
A	JP, 5-108348, A(株式会社 東芝), 30. 4月. 1993 (30. 04. 93) (ファミリーなし)	1-15
A	JP, 5-298091, A(松下電器産業株式会社), 12. 11月. 1993 (12. 11. 93) (ファミリーなし)	1-15

 C欄の続きを参照。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」先行文献ではあるが、国際出願日以後に公表されたもの
 「I」優先権主張に疑義を提起する文献又は他の文献の発行日
 若しくは他の特別な理由を確立するために引用する文献
 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日
 の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と
 矛盾するものではなく、発明の原理又は理論の理解のため
 に引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規
 性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文
 献との、当事者にとって自明である組合せによって進歩性
 がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 11. 05. 95	国際調査報告の発送日 30.05.95
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 羽鳥賢一 5 B 7 6 2 9 電話番号 03-3581-1101 内線 3546